

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-267971

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

H01L 21/331
H01L 29/73
H01L 27/12

(21)Application number : 05-080317

(71)Applicant : CANON INC

(22)Date of filing : 16.03.1993

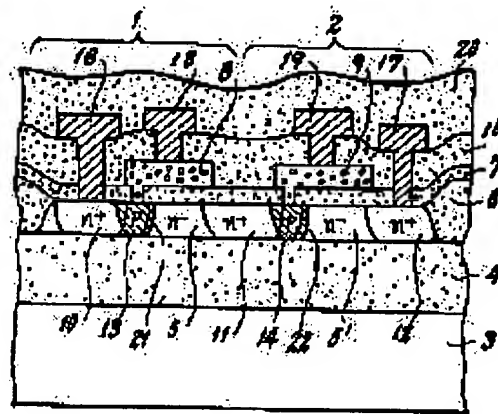
(72)Inventor : TSUDA HISANORI
WATANABE HIDENORI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To increase the current amplification factor and high-frequency cutoff frequency by eliminating the effect of a defect such as a point defect or dislocation in the control electrode region and in the vicinity of the junction.

CONSTITUTION: In a semiconductor device having a transistor in the semiconductor layer on an insulated surface, Ge is contained in a control electrode region 13 of the transistor and in the vicinity of the junction of a main electrode region 10 adjacent to the control electrode region.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by containing germanium in the semiconductor device which has a transistor in the semi-conductor layer on an insulating side to the control-electrode field of said transistor, and the field near the joint of the main-electrode field adjacent to this control-electrode field.

[Claim 2] The manufacture approach of a semiconductor device that the field where germanium of a semiconductor device according to claim 1 is contained is characterized by being formed of the ion implantation and thermal diffusion of germanium.

[Claim 3] The 1st and the 2nd main-electrode field which become an insulating side from the semi-conductor of one conductivity type, this — the 1st and 2nd main-electrode fields being touched, and, while having the control-electrode field which consists of a semi-conductor of said one conductivity type with which the high impurity concentration becomes low from the 1st main-electrode field according to the other side to the 2nd main-electrode field, and an opposite conductivity type The semiconductor device characterized by forming the cash-drawer electrode of said control-electrode field in the whole front face of a control-electrode field.

[Claim 4] The manufacture approach of the semiconductor device according to claim 3 characterized by forming the cash-drawer electrode of a control-electrode field, introducing an impurity into this semiconductor region by using this drawer electrode as a mask, and forming a control-electrode field in self align to this cash-drawer electrode on a semiconductor region.

[Claim 5] The process which forms the cash-drawer electrode of a control-electrode field, introduces the impurity of one conductivity type and an opposite conductivity type into this semiconductor region by using this drawer electrode as a mask, and forms a control-electrode field in self align to this cash-drawer electrode on a semiconductor region, The manufacture approach of the semiconductor device according to claim 3 characterized by having the process which introduces the impurity of one conductivity type into this semiconductor region, and forms the 1st or 2nd main-electrode field in self align to this insulator layer by using as a mask the insulator layer which adjoined this drawer electrode and was formed.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to ***** which formed the transistor in the highly efficient semi-conductor layer on an insulating side integrated highly, and its manufacture approach.

[0002] Moreover, this invention relates to the structure and its manufacture approach of a semiconductor device, especially a lateral (horizontal type) bipolar transistor.

[0003]

[Description of the Prior Art]

(Conventional technique 1) In the conventional silicon wafer bulk process, the vertical mold bipolar transistor was formed like drawing 36 . In drawing 36 , 301 is a component isolation region for the 1st vertical mold NPN mold bipolar transistor and 302 to separate the 2nd vertical mold NPN mold bipolar transistor, and for 303 separate a bipolar transistor 301 and a bipolar transistor 302 electrically. This Fig. shows the case where the collector of a bipolar transistor 301 and the emitter of a bipolar transistor 302 are electrically connected with wiring 315. Moreover, for a P type silicon substrate and 305,305', 304 is N+ used as the collector field of a bipolar transistor 301,302, respectively. Mold field, 306 is N. - A P type field for a mold epitaxial field and 307 to separate a bipolar transistor 301 and a bipolar transistor 302 electrically, 308 a collector cash-drawer layer and 310,310' for a selective oxidation field and 309,309' A P type base region, 311,311' is N+. As for a layer insulation layer, and 313 and 314,315,316,317, a mold emitter region and 312 are [aluminum (aluminum) electrode and 318] passivation insulating layers.

[0004] Moreover, in the conventional silicon wafer bulk process, the horizontal-type bipolar transistor was formed like drawing 37 . In drawing 37 , 321 is a component isolation region for the 1st horizontal-type PNP mold bipolar transistor and 322 to separate the 2nd horizontal-type PNP mold bipolar transistor, and for 323 separate a bipolar transistor 321 and a bipolar transistor 322 electrically. This Fig. shows the case where the collector of a bipolar transistor 321 and the emitter of a bipolar transistor 322 are electrically connected with wiring 335. Moreover, for a P type silicon substrate and 325,325', 324 is N+ used as the base region of a bipolar transistor 321,322, respectively. Mold field, 326 is N. - A P type field for a mold epitaxial field and 327 to separate a bipolar transistor 321 and a bipolar transistor 322 electrically, For a selective oxidation field and 329,329', a base cash-drawer layer and 330,330' are [328] P+. Mold emitter region, 331,331' is P+. As for a layer insulation layer, and 333 and 334,335,336,337, a mold collector field and 332 are [aluminum electrode and 338] passivation insulating layers.

(Conventional technique 2) Forming a device on SOI and forming IC of a low power in recent years at high speed is studied.

[0005] This is because it has an advantage promising for high-performance-izing of the device of parasitic capacitance's being small made as compared with the case the conventional bulk being used, and isolation being realized easily by using SOI for a substrate.

[0006] Generally the thickness of the semi-conductor layer in which a SOI substrate forms a device is about 1000-3000A in many cases, and in case it forms a bipolar transistor in a SOI

substrate, it uses a horizontal-type bipolar transistor rather than the bipolar transistor of vertical structure (vertical mold) generally used in bulk in many cases.

[0007] However, generally a horizontal-type bipolar transistor is inferior to rapidity as compared with a vertical mold bipolar transistor.

[0008] In order to raise the rapidity of a bipolar transistor, it is desirable for the width of face of the base region to be thin. In a vertical mold bipolar transistor, since the base region is formed by controlling diffusion of an impurity, the width of face of a base region can also produce the thin thing which is about 0.1–0.05 micrometers.

[0009] On the other hand, in the conventional horizontal-type bipolar transistor, there will be many things of the structure where the thickness (width of face) of the base is determined by the capacity of photolithography, therefore base width of face will be set to about 1.0–0.5 micrometers. as an example of the structure of the conventional horizontal-type bipolar transistor — IEEE, EDL-8, No.3, and P. — 104 and 1987 by What was announced by J.C.Stueta is shown in drawing 38.

[0010] Setting to drawing 38, 401 is SiO₂. For an insulator layer and 403, a P type base region and 404 are [the film and 402] P+. As for a collector field and 406, a base region and 405 are [an emitter region and 407] metal electrodes.

[0011] Moreover, in the horizontal-type bipolar transistor of structure like drawing 38, since the concentration of a base region is uniform all over the base, the carrier transit time in the base is large, and the fall of RF properties, such as cut-off frequency, is imitated, and it is **.

[0012] It is 1911 to this problem as an approach of being thin base width of face in a horizontal-type bipolar transistor, and realizing establishing a concentration gradient toward the direction of a collector from an emitter. SYMPOSIUM ON VLSI There is structure announced by TECHNOLOGY, 7A-2, N.Higaki, and etal. This is shown in drawing 39 and drawing 40.

[0013] Drawing and drawing 40 as which drawing 39 regarded the transistor from the substrate front face are a sectional view. The part currently described as an emitter (E), a collector (C), and the base (B) by drawing 39 is the location of the cash-drawer electrode in each field.

[0014] Setting to drawing 40, 501 is SiO₂. For a layer and 502, the oxide film for isolation and 503 are n. — For a collector layer and 504, a P type base region and 505 are n+. For an emitter region and 506, as for an interlayer insulation film and 508, Poly-Si and 507 are [TiN and 509] aluminum (aluminum) electrodes.

[0015] With this structure, since the base region is formed by controlling diffusion of an impurity like said vertical mold bipolar transistor, it has succeeded in producing the horizontal-type bipolar transistor of about 0.1 micrometers of base thickness.

[0016]

[Problem(s) to be Solved by the Invention]

(Technical problem 1) As already stated, the bipolar transistor of the conventional vertical mold and a horizontal type had taken the configuration as shown in drawing 36 and drawing 37.

[0017] Here, in order to raise the working speed of a transistor in the conventional bulk vertical mold bipolar transistor, it is Si(1-x) Gex to a base layer. The used heterojunction bipolar transistor is known. However, when manufacturing the heterojunction bipolar transistor of this narrow gap base, it is p mold Si(1-x) Gex. The epitaxial growth film was used. In this case, the following troubles had arisen.

[0018] (1) Si substrate and Si(1-x) Gex Since presentation change of the interface of a layer is steep, it is easy to generate a defect.

[0019] (2) A conventional manufacture process and adjustment are bad, for example, a process becomes very complicated when manufacturing Bi-CMOS circuit combined with the MOS transistor.

[0020] Moreover, in a bulk horizontal-type bipolar transistor, when it is going to manufacture heterojunction bipolar TOTORANJISUTA of the narrow gap base further, the manufacture approach becomes still more complicated.

[0021] In addition, the conventional heterojunction bipolar transistor is Si(1-x) Gex which forms Si crystal which forms an emitter, and a base region as mentioned above. Defects, such as a rearrangement by the point defect or grid mismatching used as an electric recombination center,

occurred in the interface, for this reason, the defect arose in it near the base collector interface near the emitter base, the base current of a bipolar transistor increased to it, and it had the technical problem that a current amplification factor h_{FE} fell.

[0022] Moreover, in a conventional bulk vertical mold and a conventional horizontal-type bipolar transistor, the component isolation region was required to separate between the adjoining bipolar transistors electrically. For this reason, it had the problem that a degree of integration did not go up.

[0023] Moreover, in a conventional bulk vertical mold and a conventional horizontal-type bipolar transistor, contact and wiring were required to connect the collectors, the emitters or collector, and emitter of the adjoining bipolar transistor. For this reason, contact resistance, wiring resistance, and wiring capacity became a load, and it had the trouble that the working speed of a transistor was restricted.

[0024] One of the purposes of this invention is to offer the highly efficient transistor with which the adjustment with the production process of the conventional bipolar transistor was excellent, and the crystallinity a base layer and an emitter, and near the collector interface has been improved, and its manufacture approach.

[0025] Moreover, the further purpose of this invention is to offer the high-accumulated highly efficient transistor circuit.

(Technical problem 2) With the structure explained using drawing 39 and drawing 40 , since the base cash-drawer electrode is prepared in the edge of the base section as shown in drawing 39 , it has the fault that (B in drawing indicating that the location of a cash-drawer electrode mentioned above) and base resistance become large.

[0026] This invention aims at producing the horizontal-type bipolar transistor which solved this problem, base width of face was thin, and had the concentration gradient to which high impurity concentration decreases towards a collector field from an emitter region, and was excellent in the small high-speed operation of base resistance.

[0027]

[Means for Solving the Problem] The 1st of the semiconductor device of this invention is characterized by containing germanium to the control-electrode field of said transistor, and the field near the joint of the main-electrode field adjacent to this control-electrode field in the semiconductor device which has a transistor in the semi-conductor layer on an insulating side.

[0028] The 1st of the manufacture approach of the semiconductor device of this invention is characterized by forming the field where germanium of the 1st semiconductor device of the above is contained of the ion implantation and thermal diffusion of germanium.

[0029] Moreover, the 1st and the 2nd main-electrode field where the 2nd of the semiconductor device of this invention becomes an insulating side from the semi-conductor of one conductivity type, this -- the 1st and 2nd main-electrode fields being touched, and, while having the control-electrode field which consists of a semi-conductor of said one conductivity type with which the high impurity concentration becomes low from the 1st main-electrode field according to the other side to the 2nd main-electrode field, and an opposite conductivity type It is characterized by forming the cash-drawer electrode of said control-electrode field in the whole front face of a control-electrode field.

[0030] Moreover, the 2nd of the manufacture approach of the semiconductor device of this invention is the manufacture approach used for the 2nd semiconductor device of the above, and is characterized by forming the cash-drawer electrode of a control-electrode field, introducing an impurity into this semiconductor region by using this drawer electrode as a mask, and forming a control-electrode field in self align to this cash-drawer electrode on a semiconductor region.

[0031] Moreover, the 3rd of the manufacture approach of the semiconductor device of this invention It is the manufacture approach used for the 2nd semiconductor device of the above. On a semiconductor region The process which forms the cash-drawer electrode of a control-electrode field, introduces the impurity of one conductivity type and an opposite conductivity type into this semiconductor region by using this drawer electrode as a mask, and forms a control-electrode field in self align to this cash-drawer electrode, By using as a mask the insulator layer which adjoined this drawer electrode and was formed, the impurity of one

conductivity type is introduced into this semiconductor region, and it is characterized by having the process which forms the 1st or 2nd main-electrode field in self align to this insulator layer.

[0032]

[Function] By shifting the interface of Si and a SiGe layer to an emitter and collector side (an emitter and a collector constituting a main-electrode field and the base constituting a control-electrode field), it is made for the semiconductor device of this invention not to receive the effect of defects, such as a point defect or a rearrangement, near the plane of composition of a base emitter and a base collector, and it is a current amplification factor hFE and the RF cut-off frequency fT . It enlarges.

[0033] Moreover, the manufacture approach of the semiconductor device of this invention makes it possible to enable manufacture of the heterojunction bipolar transistor of the narrowband gap base, and to lessen the interface defect of Si layer and a SiGe layer by performing the ion implantation of germanium to the control-electrode field slack base region of a bipolar transistor, and carrying out thermal diffusion of the germanium.

[0034] In addition, in this invention, by forming a horizontal-type bipolar transistor in the semiconductor layer on an insulating side, in case the adjoining collector or adjoining emitter of a bipolar transistor is connected, the need of preparing isolation and wiring can be abolished and a high-speed bipolar transistor semiconductor device can be realized by high accumulation.

[0035] The area size electrically connected through the collector of a transistor with which this invention adjoins, an emitter, the source, the same diffusion field of a drain, or the same electrode contact field is parasitism resistance of the field and the product of parasitic capacitance, i.e., a time constant τ and the RF cut-off frequency fT of a transistor. What is necessary is just to determine in between, so that the relation it is unrelated $\tau < fT$ may be realized.

[0036] Moreover, the emitter and collector field (the 1st and 2nd main-electrode fields are constituted) where the semiconductor device of this invention becomes an insulating side from the semi-conductor of one conductivity type, This emitter and a collector field are touched. The high impurity concentration One main-electrode field By preparing the base region (a control-electrode field being constituted) which consists of a semi-conductor of said one conductivity type which becomes low according to the other side to the main-electrode field (for example, collector field) of another side, and an opposite conductivity type from (for example, an emitter region) While a base region is thin and produces the high-speed transistor which has the concentration gradient of an impurity, reduction of resistance of a base region is aimed at by forming the cash-drawer electrode of said base region in the whole front face of a control-electrode field.

[0037] Moreover, the manufacture approach of the semiconductor device of this invention is the manufacture approach used for the above-mentioned semiconductor device. By forming the cash-drawer electrode of a base region, introducing an impurity into a semiconductor region by using this drawer electrode as a mask, and forming a base region in self align to this cash-drawer electrode on a semiconductor region High impurity concentration is considered as distribution which becomes low from this edge by forming the cash-drawer electrode of a base region on the surface of [whole] a base region, and pulling out diffusion of an impurity, and making it carry out from an electrode edge.

[0038] Moreover, they are the manufacture approach of the semiconductor device of this invention, and the manufacture approach used for the above-mentioned semiconductor device. The process which forms the cash-drawer electrode of a base region, introduces the impurity of one conductivity type and an opposite conductivity type into a semiconductor region by using this drawer electrode as a mask, and forms a base region in self align to this cash-drawer electrode on a semiconductor region, By establishing the process which introduces the impurity of one conductivity type into a semiconductor region by using as a mask the insulator layer which adjoined this drawer electrode and was formed, and forms an emitter and a collector in self align to this insulator layer High impurity concentration is considered as distribution which becomes low from this edge, and the magnitude of a base region is controlled by forming the cash-drawer electrode of a base region on the surface of [whole] a base region, and pulling out

diffusion of an impurity, and making it carry out from an electrode edge.

[0039]

[Example] Hereafter, the example of this invention is explained to a detail using a drawing.

[0040] In addition, an example 1 – an example 6 start the 1st of the semiconductor device of this invention, and its manufacture approach, and require an example 7 – an example 10 for the 2nd of the semiconductor device of this invention and the 2nd of the manufacture approach, and 3.

[Example 1] Drawing 1 is cross-section structural drawing of the 1st example of the semiconductor device of this invention, and drawing 2 is the representative circuit schematic.

[0041] In drawing 1 the 1st NPN mold bipolar transistor and 2 1 The 2nd NPN mold bipolar transistor, Insulator layer, 5, and 5' is N by which 3 was formed in the silicon substrate and 4 was formed on the insulator layer 4. – Mold silicon layer, The P type polish recon layer from which in 6 a selective oxidation layer and 7 become gate oxide, and 8 becomes the base electrode of the 1st bipolar transistor 1, The P type polish recon layer from which 9 becomes the base electrode of the 2nd bipolar transistor 2, 10 is N+ used as the emitter of the 1st bipolar transistor 1. Field, 11 is N+ used as the collector of the 1st bipolar transistor 1, and the emitter of the 2nd bipolar transistor 2. Field, 12 is N+ used as the collector of the 2nd bipolar transistor 2. Field, P field where 13 becomes the base of the 1st bipolar transistor 1, P field where 14 becomes the base of the 2nd bipolar transistor 2, An interlayer insulation film and 16 15 The emitter electrode of the 1st bipolar transistor 1, For 17, as for the base electrode of the 1st bipolar transistor 1, and 19, the collector electrode of the 2nd bipolar transistor 2 and 18 are [the base electrode of the 2nd bipolar transistor 2 and 20] passivation film.

[0042] Moreover, the field of 21 is Si(1-x) Gex of the 1st bipolar transistor. A field and the field of 22 are Si(1-x) Gex of the 2nd bipolar transistor. It is a field. In addition, these fields 21 and 22 are germanium+ mentioned later. It is created by the ion implantation.

[0043] drawing 2 — setting — 28 — for the emitter electrode of the 1st bipolar transistor, and 24, as for the collector electrode of the 1st bipolar transistor and the emitter electrode of the 2nd bipolar transistor, and 26, the base electrode of the 1st bipolar transistor and 25 are [the 1st bipolar transistor 1 and 29 / the 2nd bipolar transistor 2 and 23 / the base electrode of the 2nd bipolar transistor and 27] the collector electrodes of the 2nd bipolar transistor.

[0044] Next, the production process of this example is explained using drawing 3 – drawing 7 . The substrate which formed the p mold Si layer on the insulator layer 4 first is prepared (drawing 3). This substrate structure is realized by a SIMOX technique, a wafer lamination technique, the laser recrystallization technique, etc. Next, after forming field oxide and performing isolation, 200Å of gate oxide 7 was created. Next, an emitter and the collector sections 10, 11, and 12 are created according to a photolithography process (drawing 4). Case As+ of this example It was devoted $5 \times 10^{15} \text{cm}^{-2}$ by acceleration energy 40KeV. Under the present circumstances, the source drain of the N-channel MOS transistor etc. can also be formed in coincidence. Next, it is n with the same approach. – A layer 5 and 5' were formed. [0045] Next, after creating 2000Å of NSG film with an ordinary pressure CVD method etc., the photolithography process removed the oxide film of a base region. Next, it is germanium+ to a desired location. The ion implantation was carried out (drawing 5). At this time, acceleration voltage was set to 40KeV(s) and driven in $2.5 \times 10^{15} \text{cm}^{-2}$. Next, the register was removed, 1000 degrees C and heat treatment for 20 minutes were performed, and fields 21 and 22 were created.

[0046] next, polish recon — LPCVD — 5000Å was made to deposit in law etc., next the patterning process of polish recon performed desired pattern NINGU, and the P type polish recon layers 8 and 9 were formed.

[0047] Next, the interlayer insulation film 15 was formed and photolithography and an etching process performed ***** for electrode ejection.

[0048] Next, the electrode was formed and the heterojunction bipolar transistor as shown in drawing 1 according to the patterning process, the passivation process, etc. was completed.

[0049] Si(1-x) Gex only whose field the base and near the base is a narrow gap ingredient in this example Since the used horizontal-type bipolar transistor is realizable, collector current becomes large to the conventional horizontal-type bipolar transistor, and it is fT. It became large

about 10 times. Moreover, the current amplification factor hFE has improved to about 1.5 times of the conventional horizontal-type bipolar transistor.

[0050] It sets to this example and is N^+ on an insulator layer. Since the layer 11 serves as the collector field of the 1st bipolar transistor 1, and the emitter region of the 2nd bipolar transistor 2, in case the adjoining collector and adjoining emitter of a bipolar transistor are connected, it is not necessary to prepare isolation and wiring, and it is high accumulation and low resistance and a low capacity bipolar transistor semiconductor device can be realized.

[0051] Although this example showed the example which forms the collector and emitter of the adjoining NPN mold bipolar transistor by the same diffusion layer, even if it applies in the case of formation of the source of the adjoining N-channel MOS transistor, formation of a drain and the collector of the adjoining NPN mold bipolar transistor or an emitter, the source of the N-channel MOS transistor, or a drain, it can attain the same effectiveness.

[Example 2] Drawing 8 - drawing 12 are drawings showing the production process of the 2nd example of this invention. It is n on an insulator layer 4 like an example 1. - The substrate in which the mold Si layer was formed is prepared (drawing 8), and they are a photolithography process and As^+ . An emitter and the collector sections 10, 11, and 12 are created by an ion grouting degree etc. (drawing 9).

[0052] Next, germanium $^+$ after creating 2000Å of NSG film with an ordinary pressure CVD method etc. and a photolithography process removes the oxide film of the base and the field near the base Ion was poured in (drawing 10).

[0053] Next, after making 3000Å of SiN films deposit, the sidewall was formed as shown in drawing 11 .

[0054] Next, BF_2^+ It heat-treated, after driving in ion $2 \times 10^{13} \text{cm}^{-2}$ by 10KeV(s), and the P fields 13 and 14 were created. Then, as shown in drawing 12 , electrodes 16-19 were created, and the heterojunction bipolar transistor as shown in drawing 1 like the example 1 was created.

[0055] Thus, it can be made 1 micrometer or less and the base width of face of the obtained bipolar transistor is $1T$. It improved 70 times conventionally.

[Example 3] Drawing 13 is cross-section structural drawing of the 3rd example of the semiconductor device of this invention, and drawing 14 is the representative circuit schematic.

[0056] In drawing 13 the 1st PNP mold bipolar transistor and 32 31 The 2nd PNP mold bipolar transistor, Insulator layer, 35, and 35' is P by which 33 was formed in the silicon substrate and 34 was formed on the insulator layer 34. - Mold silicon layer, The N type polish recon layer from which in 36 a selective oxidation layer and 37 become gate oxide, and 38 becomes the base electrode of the 1st bipolar transistor 31, The N type polish recon layer from which 39 becomes the base electrode of the 2nd bipolar transistor 32, 40 is P^+ used as the emitter of the 1st bipolar transistor 31. Field, 41 is P^+ used as the collector of the 1st bipolar transistor 31, and the emitter of the 2nd bipolar transistor 32. Field, 42 is P^+ used as the collector of the 2nd bipolar transistor 32. Field, N field where 43 becomes the base of the 1st bipolar transistor 31, N field where 44 becomes the base of the 2nd bipolar transistor 32, An interlayer insulation film and 46 45 The emitter electrode of the 1st bipolar transistor 31, For 47, as for the base electrode of the 1st bipolar transistor 31, and 49, the collector electrode of the 2nd bipolar transistor 32 and 48 are [the base electrode of the 2nd bipolar transistor 32 and 50] passivation film. Moreover, 51 and 52 are $Si(1-x)Gex$. It is a field.

[0057] drawing 14 — setting — 58 — for the emitter electrode of the 1st bipolar transistor, and 54, as for the collector electrode of the 1st bipolar transistor and the emitter electrode of the 2nd bipolar transistor, and 56, the base electrode of the 1st bipolar transistor and 55 are [the 1st PNP mold bipolar transistor 31 and 59 / the 2nd PNP mold bipolar transistor 32 and 53 / the base electrode of the 2nd bipolar transistor and 57] the collector electrodes of the 2nd bipolar transistor.

[0058] $Si(1-x)Gex$ which is a narrow gap to the base region of n mold, and the field of the near in this example The horizontal-type bipolar transistor using fields 51 and 52 can be formed.

[0059] Moreover, it sets to this example and is P^+ on an insulator layer. Since the layer 41 serves as the collector field of the 1st bipolar transistor 31, and the emitter region of the 2nd bipolar transistor 32, in case the adjoining collector and adjoining emitter of a bipolar transistor

are connected like an example 1, it is not necessary to prepare isolation and wiring, and it is high accumulation and low resistance and a low capacity bipolar transistor semiconductor device can be realized.

[0060] Although this example showed the example which forms the collector and emitter of the adjoining PNP mold bipolar transistor by the same diffusion layer, even if it applies in the case of formation of the source of the adjoining P-channel MOS transistor, formation of a drain and the collector of the adjoining PNP mold bipolar transistor or an emitter, the source of the P-channel MOS transistor, or a drain, it can attain the same effectiveness.

[Example 4] Drawing 15 is cross-section structural drawing of the 4th example of the semiconductor device of this invention, and drawing 16 is the representative circuit schematic.

[0061] In drawing 15 an PNP mold bipolar transistor and 62 61 An NPN mold bipolar transistor, Insulator layer, 65, and 65' is N by which 63 was formed in the silicon substrate and 64 was formed on the insulator layer 64. - Mold silicon layer, The N type polish recon layer from which in 66 a selective oxidation layer and 67 become gate oxide, and 68 becomes the base electrode of a bipolar transistor 61, The P type polish recon layer from which 69 becomes the base electrode of a bipolar transistor 62, 70 is P+ used as the collector of a bipolar transistor 61. A field and 71 are P+ used as the emitter of a bipolar transistor 61. Field, 72 is N+ used as the emitter of a bipolar transistor 62. A field and 73 are N+ used as the collector of a bipolar transistor 62. Field, N field where 74 becomes the base of a bipolar transistor 61, P field where 75 becomes the base of a bipolar transistor 62, A layer insulation layer and 77 76 The collector electrode of a bipolar transistor 61, The collector electrode of a bipolar transistor 62 and 79 78 The base electrode of a bipolar transistor 61, As for the base electrode of a bipolar transistor 62, and 81, 80 is [the emitter electrode of a bipolar transistor 61 and the emitter electrode of a bipolar transistor 62, and 82] passivation film.

[0062] Moreover, 51 and 22 are Si(1-x) Gex. It is a field, the production process is the same as that of an example 2, and it is Si(1-x) Gex to the beginning. The sidewall after formation was formed for the field and each base region of P type and N type was created.

[0063] drawing 16 — setting — 83 — for the collector electrode of a bipolar transistor 83, and 86, as for the emitter electrode of a bipolar transistor 83 and the emitter electrode of a bipolar transistor 84, and 88, the base electrode of a bipolar transistor 83 and 87 are [the PNP mold bipolar transistors 61 and 84 / the NPN mold bipolar transistors 62 and 85 / the base electrode of a bipolar transistor 84 and 89] the collector electrodes of a bipolar transistor 84.

[0064] It sets to this example and is P+ on an insulator layer. A layer 71 and N+ Since it connected with one electrode 81 electrically and the layer 72 serves as the emitter region of the PNP mold bipolar transistor 61, and the emitter region of the NPN mold bipolar transistor 62, in case the adjoining emitter and adjoining emitter of a bipolar transistor are connected, it is not necessary to prepare isolation and long wiring, and it is high accumulation and low resistance and a low capacity bipolar transistor semiconductor device can be realized.

[0065] Although this example showed the example which forms the adjoining emitter of an NPN mold bipolar transistor and the adjoining emitter of an PNP mold bipolar transistor by the same diffusion layer The source of the adjoining N-channel MOS transistor, the source of a drain and the P-channel MOS transistor, or formation of a drain, The adjoining collector of an NPN mold bipolar transistor or an adjoining emitter, the source of the P-channel MOS transistor, or formation of a drain, The same effectiveness can be attained even if it applies in the case of formation of the adjoining collector of an PNP mold bipolar transistor or an adjoining emitter, the source of the N-channel MOS transistor, or a drain.

[Example 5] Drawing 17 is the representative circuit schematic showing an example of the high-speed amplifying circuit of the 5th example of the semiconductor device of this invention, and consists of an NPN mold bipolar transistor 108,109, resistance 110,111, and capacity 112. All of these circuitry components are formed in the silicon layer on an insulator layer. A terminal 113 is the same N+ like an example 1 here. It is formed from a field and has become the emitter region of a bipolar transistor 109, and the collector field of a bipolar transistor 108.

[0066] This example has attained about 20% of chip size contraction, and about 50% of improvement in the speed of operation from the example of a circuit of the conventional bulk

mold.

[Example 6] Drawing 18 is the representative circuit schematic of the 6th example of the semiconductor device of this invention.

[0067] Drawing 18 is an example of a comp RIMENTARIBAI CMOS circuit, and consists of an NPN mold bipolar transistor 114,115, and the P-channel MOS transistor 116,117 and the N-channel MOS transistor 118,119. All of these circuitry components are formed in the silicon layer on an insulator layer. A terminal 120 is the same N+ like an example 1 here. It is formed from a field and has become the emitter region of a bipolar transistor 114, and the emitter region of a bipolar transistor 115. Moreover, N+ to which terminals 121 and 122 were electrically connected with the same electrode like the example 4 A field and P+ It is formed from a field and has become the source field of an MOS transistor, and a drain field.

[0068] By this example, when the ring oscillator, the shift register, etc. were constituted, about 40% of chip size contraction and about 80% of improvement in the speed of operation have been attained from the example of a circuit of the conventional bulk mold.

[Example 7] Here, the case where this invention is applied to an NPN mold bipolar transistor is explained. In addition, suppose that it is the same also about examples 8-10.

[0069] Drawing 19 is drawing of longitudinal section showing the 7th example of the semiconductor device of this invention. Setting to drawing 19, for an oxide-film (SiO_2) layer and 202, an oxide-film isolation region and 203 are [201] n. - For a collector field and 204, a P type base region and 205 are n+. A collector field and 206 are n+. An oxide film and 208,209 are P type polycrystalline silicon (it is described as Poly-Si below), and an emitter region and 207 are base cash-drawer electrodes. As for the spacer of insulator layers, such as an oxide film and a nitride, and 211, 210 is [an interlayer insulation film and 212] metal electrodes, such as aluminum (aluminum).

[0070] Drawing 20 - drawing 27 are the sectional views of a process flow showing the manufacture approach of this example. Hereafter, the manufacture approach of the example by this invention is shown using drawing 20 - drawing 27.

[0071] SiO_2 The component isolation region 202 was formed by oxidizing alternatively the location of a request of the SOI base which consists of a layer 201 and an N type Si layer. The thickness of the Si layer 203 is 1500A, and concentration is $5 \times 10^{15} - 1 \times 10^{17}$ ions/cm³. It carried out (drawing 20).

[0072] Next, the SOI base front face was oxidized and about 200A in thickness and the 1000A oxide film 207 were formed. In addition, it cannot be overemphasized that an oxide film may be formed in a base front face with a CVD method etc.

[0073] It pulled, then 2000-5000A of Poly-Si layers 208 was deposited with LP-CVD method etc. Furthermore, they are P type impurities, such as boron (B+), to this Poly-Si layer 208 $5 \times 10^{15} - 1 \times 10^{16}$ ions/cm² With the dose, the ion implantation was carried out, and it pulled, then 950 degrees C and 30-minute annealing were performed.

[0074] Then, by RIE, anisotropic etching was performed and the structure of drawing 21 was acquired. Here, width of face (L showed among drawing) of this Poly-Si was set to 0.5 thru/or 1.5 micrometers.

[0075] Next, as shown in drawing 22, among drawing, the photoresist 213 was applied so that said Poly-Si field 208 might be started in a left half, patterning was performed, and the oxide film 207 on the right of Poly-Si208 was succeedingly etched in the drawing by using the Poly-Si field 208 as a mask by RIE. After exfoliating a photoresist 213, again, there is no 1000 all over a base, 4000A of Poly-Si was deposited, anisotropic etching was performed succeedingly, and side OORU 209 of Poly-Si was formed in the side attachment wall of said Poly-Si field 208 (drawing 23).

[0076] Next, it is boron (B+) which is a P type impurity after performing spreading and patterning for a photoresist 214 like drawing 24 with the acceleration energy of 20KeV(s) 5×10^{13} ions/cm² Boron ion was introduced into the field which performed the ion implantation with the dose and was shown by the number 204 in drawing 24.

[0077] Next, after exfoliating said photoresist 214, the oxide film (1000A thru/or 5000A) was deposited on the whole base front face, and the sidewall 210 of an oxide film was formed by

carrying out anisotropic etching of this (drawing 25).

[0078] Next, it is arsenic (As⁺) ion with the acceleration energy of 100KeV(s) to the whole SOI base surface 1×10^{15} thru/or 3×10^{15} ions/cm² The ion implantation was performed with the dose (drawing 26).

[0079] Then, 900 degrees C, 20, or heat treatment for 30 minutes was performed to the base, and the structure of drawing 27 was acquired.

[0080] Furthermore, interlayer insulation films, such as PSG and BPSG, were deposited with the CVD method etc. all over the base, and the contact hole was formed in the location of the request, then the metal electrodes 212, such as aluminum (aluminum), were formed, and the structure of drawing 19 was acquired.

[0081] According to the above-mentioned process, the horizontal-type bipolar transistor of 0.1 micrometers of base **** could be formed, consequently the high-speed horizontal-type bipolar transistor which is the cut-off frequency of 6GHz was able to be formed.

[Example 8] Drawing 28 is drawing of longitudinal section showing the 8th example of the semiconductor device of this invention.

[0082] 201-212 are the same as the configuration member of drawing 19 of the 7th example among drawing, and 215 is silicide, such as Ti and Pt.

[0083] Although resistance of an emitter or a collector becomes large in the horizontal-type bipolar transistor using a SOI base since the thickness of a semi-conductor layer is thin, resistance of an emitter or a collector can be made small by forming silicide 215 with small resistivity as mentioned above.

[0084] The structure of this example is producible at the following processes. The structure of drawing 27 is acquired at the same process as the 7th example. Next, 500A (Ti) of titanium was deposited on the substrate front face by sputtering. Subsequently, 600 degrees C and 20-minute heat treatment were performed for the substrate, and Si and Ti were made to react.

[0085] Next, NH₄ OH-H₂O₂ The used wet etching removed unreacted titanium and the structure of drawing 29 was acquired.

[0086] After depositing an interlayer insulation film 211 like the 7th example after that, the metal electrode 212 was formed.

[Example 9] Drawing 30 is drawing of longitudinal section showing the 9th example of the semiconductor device of this invention. The location of a metal electrode 212 was prescribed by the mask in the 7th and 8th examples.

[0087] In this example, the location of the base approach of the metal electrode 212 of an emitter and a collector is prescribed by the spacer 210 of an insulator layer. It is the same as the configuration member of drawing 19 of the 7th example the inside 201-212 of drawing.

[0088] Hereafter, the manufacture approach of this example is explained.

[0089] The structure of drawing 27 is acquired by the same approach as the 7th example. Subsequently, an interlayer insulation film 211 is formed with a CVD method etc., and the structure of drawing 31 is acquired.

[0090] The case where the cash-drawer electrode of an emitter is formed in the range shown by drawing 31 here is considered.

[0091] If an alignment margin is smaller than the width of face (x in drawing) of the spacer 210 of an insulator layer at this time, as shown in drawing 31 , the spacer of a contact hole and an insulator layer can be formed adjacently. It cannot be overemphasized that the same thing can be said also to a collector electrode.

[0092] however, the matter 4 with which the selection ratio of an interlayer insulation film 211 and etching can take the spacer 210 of an insulator layer in the case of this example, for example, silicon nitride Si₃N₄, etc. — it must form.

[0093] As mentioned above, by this example, since formation of an emitter and the collector electrode will be able to be carried out in a base region soon rather than the 7th and 8th examples shown in drawing 19 and drawing 28 , a component can be made detailed and emitter resistance and collector resistance can be made small.

[Example 10] Drawing 32 is drawing of longitudinal section showing the 10th example of the semiconductor device of this invention. Drawing 33 - drawing 35 are the sectional views of a

process flow showing the manufacture approach of this example.

[0094] the inside of drawing, and 201-212 — the configuration member of drawing 19 of the 7th example — the same — 216 — SiO₂ — insulator layers, such as PSG, and 217 are N type Poly-Si.

[0095] Hereafter, the manufacture approach of this example is described using drawing 33 — drawing 35 .

[0096] According to the same process as the case of the 7th example, the structure of drawing 23 was produced and 1000Å of PSG film 216 was succeedingly deposited on the base front face. Then, etching removal of the desired PSG film 216 and desired oxide film 207 of a location was carried out, and the structure of drawing 33 was acquired.

[0097] Next, it is Cl₂, using said PSG film 216 as a mask. Anisotropic etching of the Si layer of the collector field 203 and a base region 204 was carried out, and used RIE removed it (drawing 34).

[0098] Next, about 2000Å of Poly-Si is deposited all over a substrate, and it is arsenic (As⁺) ion with the acceleration energy of 70KeV(s) succeedingly 5E15 ions/cm² An ion implantation is performed with a dose and they are a base region 204, an emitter region 206, and n⁺. The collector field 205 was formed. Then, patterning of said Poly-Si was carried out, and the structure of drawing 35 was acquired.

[0099]

[Effect of the Invention] According to [as explain above] this invention, it is Si(1-x) Ge_x to the control-electrode field and its near field of a transistor. A layer can be create according to an easy process, a conventional semi-conductor manufacture process and adjustment are excellent, and, moreover, they are Si and Si (1-x) germanium (x). There is little generating of the defect in a hetero interface, and since effect by the defect can also be make small, the semiconductor device containing a high-speed transistor is realizable.

[0100] Moreover, in case the 1 main-electrode field (for example, an emitter or a collector) of one transistor of the adjoining transistor and the 1 main-electrode field (for example, a collector or an emitter) of the transistor of another side are connected, it is not necessary to prepare a component isolation region, and a still more nearly high-speed transistor semiconductor device can be realized by high accumulation.

[0101] Moreover, according to this invention, the transistor which whose width of face of a control-electrode field was thin, and the high impurity concentration in a control-electrode field had the concentration distribution which becomes low toward the 2nd direction of a main-electrode field from the 1st main-electrode field, and was excellent in the high-speed property that resistance of a control-electrode field is low can be formed.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

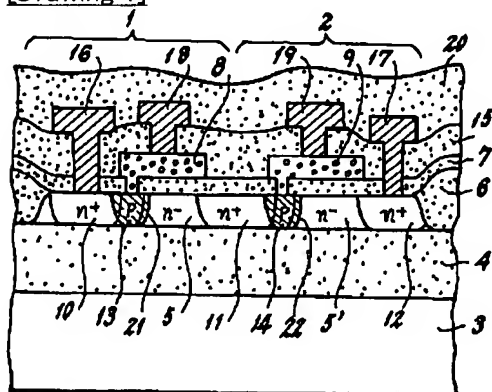
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

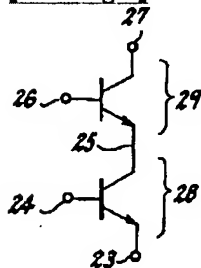
3.In the drawings, any words are not translated.

DRAWINGS

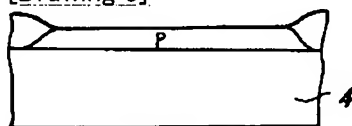
[Drawing 1]



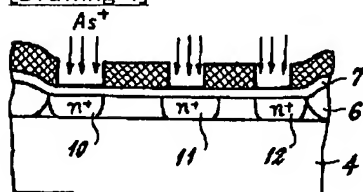
[Drawing 2]



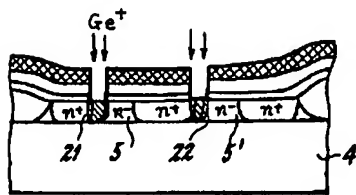
[Drawing 3]



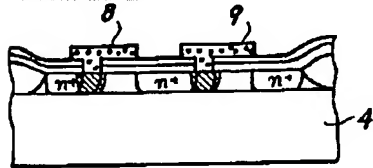
[Drawing 4]



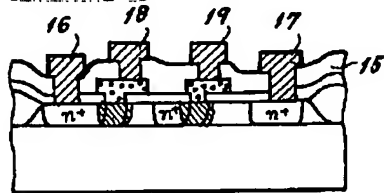
[Drawing 5]



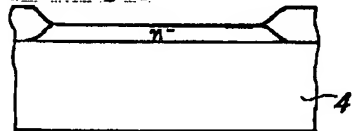
[Drawing 6]



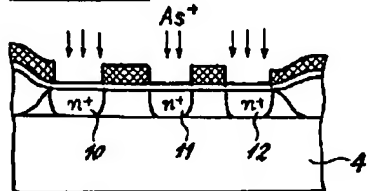
[Drawing 7]



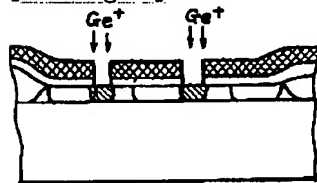
[Drawing 8]



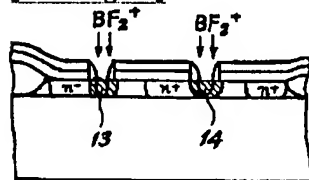
[Drawing 9]



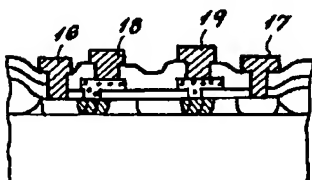
[Drawing 10]



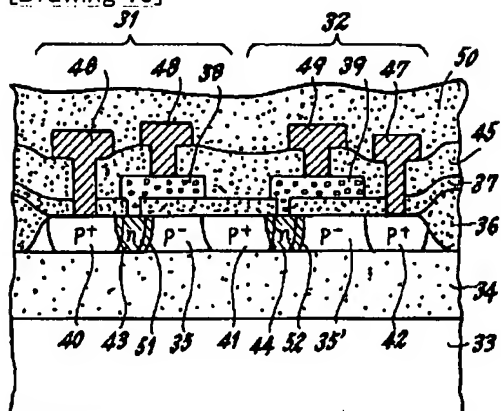
[Drawing 11]



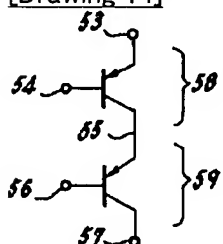
[Drawing 12]



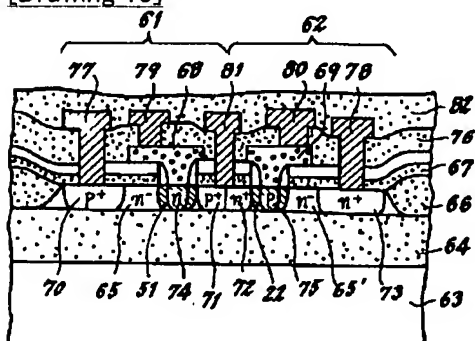
[Drawing 13]



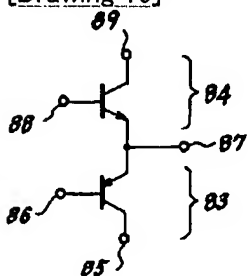
[Drawing 14]



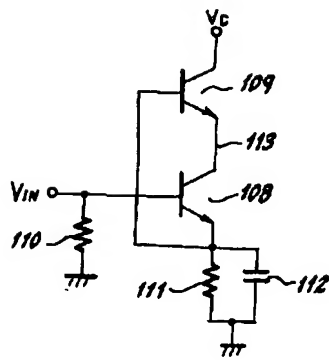
[Drawing 15]



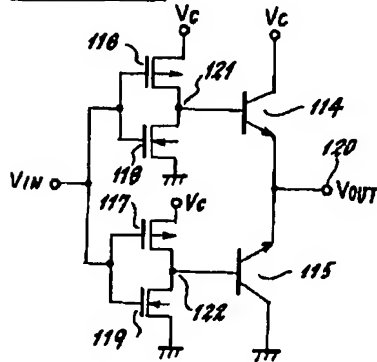
[Drawing 16]



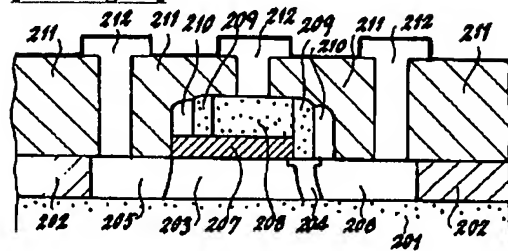
[Drawing 17]



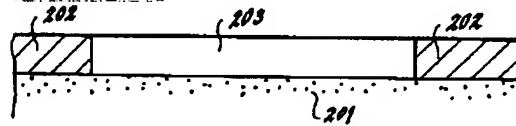
[Drawing 18]



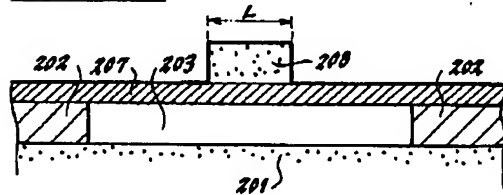
[Drawing 19]



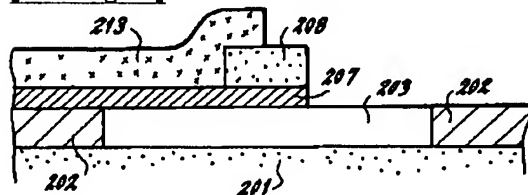
[Drawing 20]



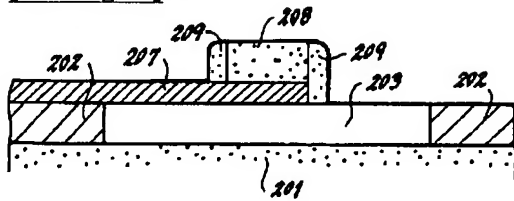
[Drawing 21]



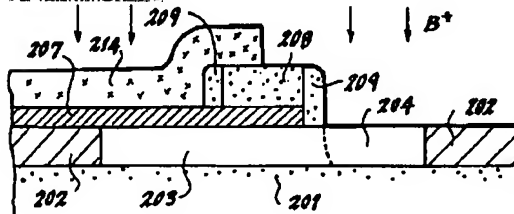
[Drawing 22]



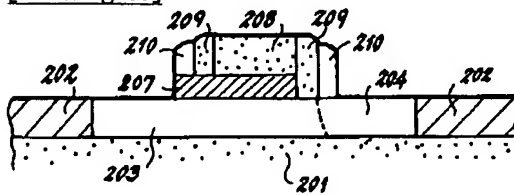
[Drawing 23]



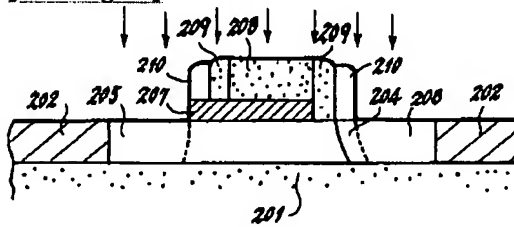
[Drawing 24]



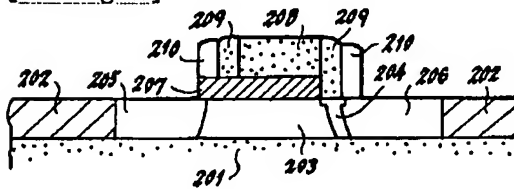
[Drawing 25]



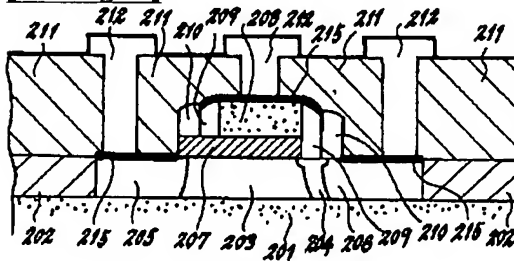
[Drawing 26]



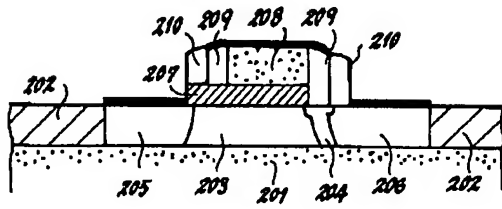
[Drawing 27]



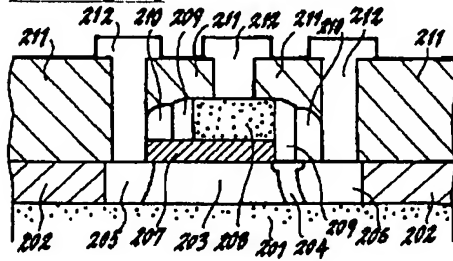
[Drawing 28]



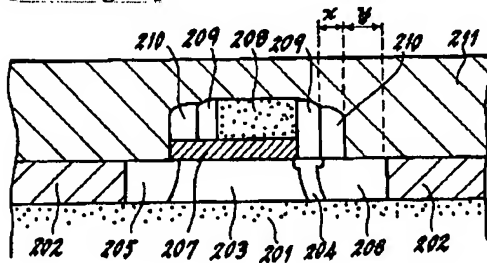
[Drawing 29]



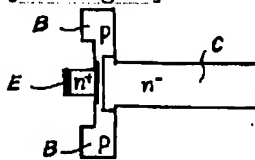
[Drawing 30]



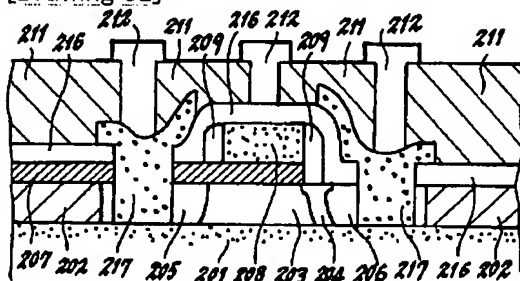
[Drawing 31]



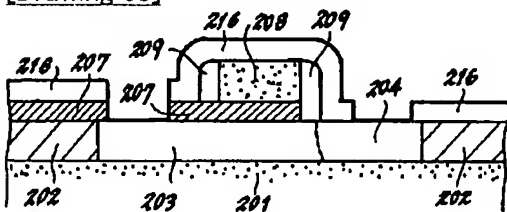
[Drawing 39]



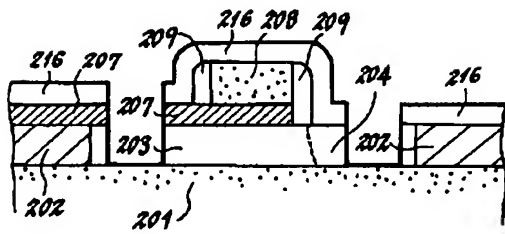
[Drawing 32]



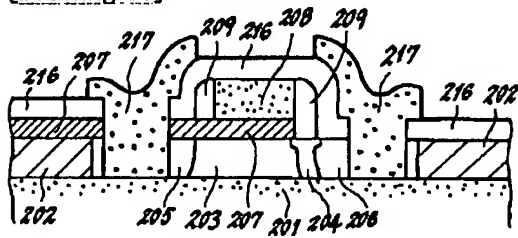
[Drawing 33]



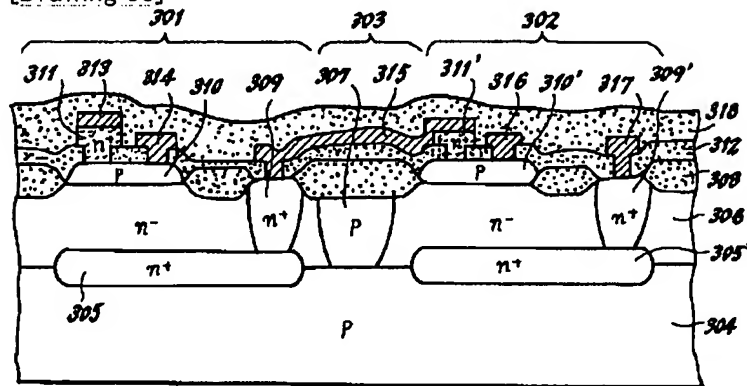
[Drawing 34]



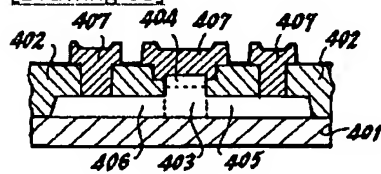
[Drawing 35]



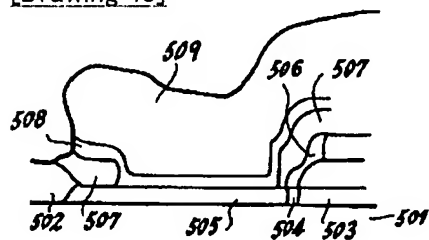
[Drawing 36]



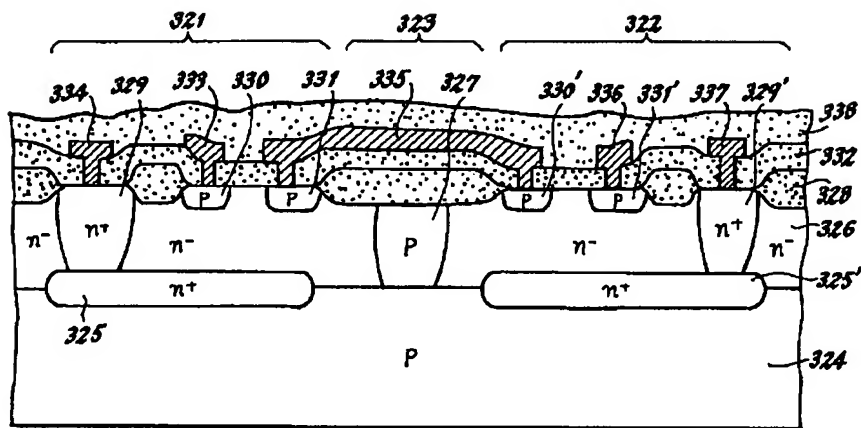
[Drawing 38]



[Drawing 40]



[Drawing 37]



[Translation done.]

(11)特許出願公開番号

(43)公開日 平成6年(1994)9月22日

審査請求 未請求 請求項の数 5 FD (全 14 頁)

(74)代理人 弁理士 山下 穰平

【特許請求の範囲】

【請求項1】 絶縁面上の半導体層にトランジスタを有する半導体装置において、前記トランジスタの制御電極領域と、この制御電極領域と接する主電極領域の接合部近傍領域とにGeが含まれていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置のGeが含まれる領域が、Geのイオン注入と熱拡散とにより形成されることを特徴とする半導体装置の製造方法。

【請求項3】 絶縁面に、一導電型の半導体からなる第1及び第2の主電極領域と、該第1及び第2の主電極領域と接し、その不純物濃度が第1の主電極領域から第2の主電極領域に向うにしたがって低くなるような、前記一導電型と反対導電型の半導体からなる制御電極領域と、を有するとともに、前記制御電極領域の引出し電極が制御電極領域の表面全体に形成されていることを特徴とする半導体装置。

【請求項4】 半導体領域上に、制御電極領域の引出し電極を形成し、該引き出し電極をマスクとして該半導体領域に不純物の導入を行ない、制御電極領域を該引出し電極に対して自己整合的に形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 半導体領域上に、制御電極領域の引出し電極を形成し、該引き出し電極をマスクとして該半導体領域に一導電型と反対導電型の不純物の導入を行ない、制御電極領域を該引出し電極に対して自己整合的に形成する工程と、該引き出し電極に隣接して形成された絶縁膜をマスクとして該半導体領域に一導電型の不純物の導入を行ない、第1又は第2の主電極領域を該絶縁膜に対して自己整合的に形成する工程と、を有することを特徴とする請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高集積化された、高性能な、絶縁面上の半導体層にトランジスタを形成した半導体装置およびその製造方法に関する。

【0002】また本発明は半導体装置、特にラテラル（横型）バイポーラトランジスタの構造およびその製造方法に関するものである。

【0003】

【従来の技術】

（従来技術1）従来のシリコンウェハバルクプロセスでは、縦型バイポーラトランジスタを図36の様に形成していた。図36において、301は第1の縦型NPN型バイポーラトランジスタ、302は第2の縦型NPN型バイポーラトランジスタ、303はバイポーラトランジスタ301とバイポーラトランジスタ302とを電気的に分離するための素子分離領域である。本図ではバイポーラトランジスタ301のコレクタとバイポーラトランジスタ302のエミッタを配線315により電気的に接

続した場合を示している。また、304はP型シリコン基板、305、305'はそれぞれバイポーラトランジスタ301、302のコレクタ領域となるN⁺型領域、306はN⁻型エピタキシャル領域、307はバイポーラトランジスタ301とバイポーラトランジスタ302とを電気的に分離するためのP型領域、308は選択酸化領域、309、309'はコレクタ引出し層、310、310'はP型ベース領域、311、311'はN⁺型エミッタ領域、312は層間絶縁層、313、314、315、316、317はAl（アルミニウム）電極、318はパッシベーション絶縁層である。

【0004】また、従来のシリコンウェハバルクプロセスでは、横型バイポーラトランジスタを図37の様に形成していた。図37において、321は第1の横型PNP型バイポーラトランジスタ、322は第2の横型PNP型バイポーラトランジスタ、323はバイポーラトランジスタ321とバイポーラトランジスタ322とを電気的に分離するための素子分離領域である。本図ではバイポーラトランジスタ321のコレクタとバイポーラトランジスタ322のエミッタとを配線335により電気的に接続した場合を示している。また、324はP型シリコン基板、325、325'はそれぞれバイポーラトランジスタ321、322のベース領域となるN⁺型領域、326はN⁻型エピタキシャル領域、327はバイポーラトランジスタ321とバイポーラトランジスタ322とを電気的に分離するためのP型領域、328は選択酸化領域、329、329'はベース引出し層、330、330'はP⁺型エミッタ領域、331、331'はP⁺型コレクタ領域、332は層間絶縁層、333、334、335、336、337はAl電極、338はパッシベーション絶縁層である。

（従来技術2）近年、SOI上にデバイスを形成し、高速で低消費電力のICを形成することが研究されている。

【0005】これは、基板にSOIを用いることにより従来のバルクを用いた場合と比較して寄生容量が小さくできることや、素子分離が簡単に実現できるなどのデバイスの高性能化に有望な利点をもっているためである。

【0006】SOI基板は、デバイスを形成する半導体層の厚さは一般に1000～3000Å程度であることが多く、SOI基板にバイポーラトランジスタを形成する際、バルクでは一般的に用いられているバッチカル構造（縦型）のバイポーラトランジスタよりも横型バイポーラトランジスタを用いることが多い。

【0007】しかしながら、一般的に横型バイポーラトランジスタは、縦型バイポーラトランジスタと比較して、高速性に劣る。

【0008】バイポーラトランジスタの高速性を向上させるには、そのベース領域の幅が薄いことが望ましい。縦型バイポーラトランジスタでは、ベース領域を不純物

の拡散を制御することによって形成しているため、ベース領域の幅が0.1~0.05 μm 程度の薄いものも作製可能である。

【0009】一方、従来の横型バイポーラトランジスタでは、ベースの厚さ（幅）がフォトリソグラフィーの能力によって決定されている構造のものが多く、そのためベース幅は1.0~0.5 μm 程度となってしまう。従来の横型バイポーラトランジスタの構造の一例として、IEEE, EDL-8, No. 3, P. 104, 1987 by J. C. Stueetalで発表されたものを図38に示す。

【0010】図38において、401は SiO_2 膜、402は絶縁膜、403はP型ベース領域、404はP⁺ベース領域、405はコレクタ領域、406はエミッタ領域、407は金属電極である。

【0011】また、図38のような構造の横型バイポーラトランジスタではベース領域の濃度がベース中で均一であるため、ベース中のキャリア走行時間が大きく、遮断周波数などの高周波特性の低下をまねく。

【0012】この問題に対し、横型バイポーラトランジスタで薄いベース幅で、かつ、エミッタからコレクタ方向に向かって濃度勾配を設けることを実現する方法として、1911 SYMPOSIUM ON VLSI TECHNOLOGY, 7A-2, N. Higaki, et al. によって発表された構造がある。これを図39、図40に示す。

【0013】図39はトランジスタを基板表面から見た図、図40は断面図である。図39でエミッタ（E）、コレクタ（C）、ベース（B）と記してある部分は、それぞれの領域での引出し電極の位置である。

【0014】図40において、501は SiO_2 層、502は素子分離のための酸化膜、503はn⁻コレクタ層、504はP型ベース領域、505はn⁺エミッタ領域、506はPoly-Si、507は層間絶縁膜、508はTiN、509はAl（アルミニウム）電極である。

【0015】この構造では、ベース領域を前記縦型バイポーラトランジスタと同様に不純物の拡散を制御することによって形成しているため、ベース厚0.1 μm 程度の横型バイポーラトランジスタを作製することに成功している。

【0016】

【発明が解決しようとする課題】

（課題1）既に述べたように、従来の縦型及び横型のバイポーラトランジスタは、図36及び図37に示したような構成を取っていた。

【0017】ここで、従来のバルク縦型バイポーラトランジスタでは、トランジスタの動作速度を上げるためにベース層に $\text{Si}_{1(1-x)}\text{Ge}_x$ を用いたヘテロ接合バイポーラトランジスタが知られている。しかしながら、この

ナローギャップベースのヘテロ接合バイポーラトランジスタを製造する場合、p型 $\text{Si}_{1(1-x)}\text{Ge}_x$ のエピタキシャル成長膜が用いられていた。この場合、以下の問題点が生じていた。

【0018】（1）Si基板と、 $\text{Si}_{1(1-x)}\text{Ge}_x$ 層の界面の組成変化が急峻であるため欠陥が発生し易い。

【0019】（2）従来の製造プロセスと整合性が悪く、例えばMOSトランジスタと組み合わせたBi-C MOS回路を製造する場合、プロセスが大変複雑になる。

【0020】またバルク横型バイポーラトランジスタでは、さらにナローギャップベースのヘテロ接合バイポーラトランジスタを製造しようとした場合、製造方法がさらに複雑になる。

【0021】なお、従来のヘテロ接合バイポーラトランジスタは、上記のように、エミッタを形成するSi結晶とベース領域を形成する $\text{Si}_{1(1-x)}\text{Ge}_x$ との界面に、電気的再結合中心となる点欠陥あるいは格子不整合による転位等の欠陥が発生し、このためエミッタベース近傍、あるいはベースコレクタ界面近傍に欠陥が生じ、バイポーラトランジスタのベース電流が増加し、電流増幅率 h_{FE} が下がるという課題を有していた。

【0022】また、従来のバルク縦型および横型バイポーラトランジスタでは、隣接するバイポーラトランジスタ間を電気的に分離するのに素子分離領域が必要であった。このために集積度が上がらないという問題を有していた。

【0023】また、従来のバルク縦型および横型バイポーラトランジスタでは、隣接するバイポーラトランジスタのコレクタ同士またはエミッタ同士またはコレクタとエミッタを接続するのにコンタクトおよび配線が必要であった。このためにコンタクト抵抗、配線抵抗、配線容量が負荷となり、トランジスタの動作速度が制限されるという問題点を有していた。

【0024】本発明の目的の1つは、従来のバイポーラトランジスタの製造工程との整合性が優れ、かつ、ベース層およびエミッタ、コレクタ界面近傍の結晶性の改善された、高性能なトランジスタ及びその製造方法を提供することにある。

【0025】また本発明のさらなる目的は、高集積された高性能なトランジスタ回路を提供することにある。

（課題2）図39、図40を用いて説明した構造では、図39に示されるように、ベース引出し電極がベース部の端に設けられているために（上述したように図中のBは引出し電極の位置を示す）、ベース抵抗が大きくなるという欠点をもつ。

【0026】本発明は、かかる問題を解決し、ベース幅が薄く、エミッタ領域からコレクタ領域にむけて不純物濃度が減少するような濃度勾配をもち、かつ、ベース抵抗の小さい高速動作にすぐれた横型バイポーラトランジ

スタを作製することを目的とする。

【0027】

【課題を解決するための手段】本発明の半導体装置の第1は、絶縁面上の半導体層にトランジスタを有する半導体装置において、前記トランジスタの制御電極領域と、この制御電極領域と接する主電極領域の接合部近傍領域とにGeが含まれていることを特徴とする。

【0028】本発明の半導体装置の製造方法の第1は、上記第1の半導体装置のGeが含まれる領域が、Geのイオン注入と熱拡散とにより形成されることを特徴とする。

【0029】また本発明の半導体装置の第2は、絶縁面に、一導電型の半導体からなる第1及び第2の主電極領域と、該第1及び第2の主電極領域と接し、その不純物濃度が第1の主電極領域から第2の主電極領域に向うにしたがって低くなるような、前記一導電型と反対導電型の半導体からなる制御電極領域と、を有するとともに、前記制御電極領域の引出し電極が制御電極領域の表面全体に形成されていることを特徴とする。

【0030】また本発明の半導体装置の製造方法の第2は、上記第2の半導体装置に用いられる製造方法であって、半導体領域上に、制御電極領域の引出し電極を形成し、該引き出し電極をマスクとして該半導体領域に不純物の導入を行ない、制御電極領域を該引出し電極に対して自己整合的に形成することを特徴とする。

【0031】また本発明の半導体装置の製造方法の第3は、上記第2の半導体装置に用いられる製造方法であって、半導体領域上に、制御電極領域の引出し電極を形成し、該引き出し電極をマスクとして該半導体領域に一導電型と反対導電型の不純物の導入を行ない、制御電極領域を該引出し電極に対して自己整合的に形成する工程と、該引き出し電極に隣接して形成された絶縁膜をマスクとして該半導体領域に一導電型の不純物の導入を行ない、第1又は第2の主電極領域を該絶縁膜に対して自己整合的に形成する工程と、を有することを特徴とする。

【0032】

【作用】本発明の半導体装置は、SiとSiGe層の界面をエミッタ側およびコレクタ側（エミッタ、コレクタは主電極領域を構成し、ベースは制御電極領域を構成する）にずらすことにより、ベース・エミッタ、ベース・コレクタの接合面近傍から点欠陥あるいは転位等の欠陥の影響を受けないようにし、電流増幅率 h_{FE} および高周波遮断周波数 f_T を大きくするものである。

【0033】また本発明の半導体装置の製造方法は、バイポーラトランジスタの制御電極領域たるベース領域にGeのイオン注入を行ない、Geを熱拡散させることにより、ナローバンドギャップベースのヘテロ接合バイポーラトランジスタの製造を可能とし、またSi層とSiGe層の界面欠陥を少なくすることを可能とするものである。

【0034】なお本発明において、絶縁面上の半導体層に横型バイポーラトランジスタを形成することで、隣接するバイポーラトランジスタのコレクタまたはエミッタを接続する際に、素子分離および配線を設ける必要性をなくし、高集積で、高速なバイポーラトランジスタ半導体装置を実現することができる。

【0035】本発明の、隣接するトランジスタのコレクタ、エミッタ、ソースまたはドレインの同一の拡散領域、または、同一の電極コンタクト領域を介して電氣的に接続されている領域の大きさは、その領域の寄生抵抗と寄生容量の積、すなわち時定数 τ と、トランジスタの高周波遮断周波数 f_T との間に、

$$\tau < f_T$$

なる関係が成り立つように、決定すればよい。

【0036】また本発明の半導体装置は、絶縁面に、一導電型の半導体からなるエミッタ及びコレクタ領域（第1及び第2の主電極領域を構成する）と、該エミッタ及びコレクタ領域と接し、その不純物濃度が一方の主電極領域（例えば、エミッタ領域）から他方の主電極領域（例えばコレクタ領域）に向うにしたがって低くなるような、前記一導電型と反対導電型の半導体からなるベース領域（制御電極領域を構成する）と、を設けることで、ベース領域が薄く、かつ不純物の濃度勾配を有する高速なトランジスタを作製するとともに、前記ベース領域の引出し電極を制御電極領域の表面全体に形成することで、ベース領域の抵抗の低減を図るものである。

【0037】また本発明の半導体装置の製造方法は、上記半導体装置に用いられる製造方法であって、半導体領域上に、ベース領域の引出し電極を形成し、該引き出し電極をマスクとして半導体領域に不純物の導入を行ない、ベース領域を該引出し電極に対して自己整合的に形成することで、ベース領域の引出し電極をベース領域の表面全体に形成し、また不純物の拡散を引出し電極端部から行わせることで、不純物濃度を該端部から低くなるような分布とするものである。

【0038】また本発明の半導体装置の製造方法、上記半導体装置に用いられる製造方法であって、半導体領域上に、ベース領域の引出し電極を形成し、該引き出し電極をマスクとして半導体領域に一導電型と反対導電型の不純物の導入を行ない、ベース領域を該引出し電極に対して自己整合的に形成する工程と、該引き出し電極に隣接して形成された絶縁膜をマスクとして半導体領域に一導電型の不純物の導入を行ない、エミッタ及びコレクタを該絶縁膜に対して自己整合的に形成する工程と、を設けることで、ベース領域の引出し電極をベース領域の表面全体に形成し、また不純物の拡散を引出し電極端部から行わせることで、不純物濃度を該端部から低くなるような分布とし、かつベース領域の大きさを制御するものである。

【0039】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0040】なお、実施例1～実施例6は本発明の半導体装置及びその製造方法の第1に係るものであり、実施例7～実施例10は本発明の半導体装置の第2及びその製造方法の第2、3に係るものである。

【実施例1】図1は本発明の半導体装置の第1の実施例の断面構造図、図2はその等価回路図である。

【0041】図1において、1は第1のNPN型バイポーラトランジスタ、2は第2のNPN型バイポーラトランジスタ、3はシリコン基板、4は絶縁膜、5、5'は絶縁膜4上に形成されたN⁺型シリコン層、6は選択酸化層、7はゲート酸化膜、8は第1のバイポーラトランジスタ1のベース電極となるP型ポリシリコン層、9は第2のバイポーラトランジスタ2のベース電極となるP型ポリシリコン層、10は第1バイポーラトランジスタ1のエミッタとなるN⁺領域、11は第1のバイポーラトランジスタ1のコレクタおよび第2のバイポーラトランジスタ2のエミッタとなるN⁺領域、12は第2のバイポーラトランジスタ2のコレクタとなるN⁺領域、13は第1のバイポーラトランジスタ1のベースとなるP領域、14は第2のバイポーラトランジスタ2のベースとなるP領域、15は層間絶縁膜、16は第1のバイポーラトランジスタ1のエミッタ電極、17は第2のバイポーラトランジスタ2のコレクタ電極、18は第1のバイポーラトランジスタ1のベース電極、19は第2のバイポーラトランジスタ2のベース電極、20はパッシベーション膜である。

【0042】また21の領域は第1のバイポーラトランジスタのSi_(1-x)Ge_x領域、22の領域は第2のバイポーラトランジスタのSi_(1-x)Ge_x領域である。なお、この領域21、22は後述するGe⁺のイオン注入により作成されるものである。

【0043】図2において、28は第1のバイポーラトランジスタ1、29は第2のバイポーラトランジスタ2、23は第1のバイポーラトランジスタのエミッタ電極、24は第1のバイポーラトランジスタのベース電極、25は第1のバイポーラトランジスタのコレクタ電極および第2のバイポーラトランジスタのエミッタ電極、26は第2のバイポーラトランジスタのベース電極、27は第2のバイポーラトランジスタのコレクタ電極である。

【0044】次に、図3～図7を用いて本実施例の製造工程を説明する。まず絶縁膜4上にp型Si層を形成した基板を用意する(図3)。この基板構造は、SIMOX技術、ウェハ貼り合わせ技術、レーザ再結晶技術等により実現される。次にフィールド酸化膜を形成して、素子分離を行なった後、ゲート酸化膜7を200Å作成した。次にフォトリソグラフィ工程によりエミッタ、コレクタ部10、11、12を作成する(図4)。本実施

例の場合As⁺を加速エネルギー40KeVで5×10¹⁵cm⁻²打ち込んだ。この際、N型MOSトランジスタのソース・ドレイン等も同時に形成することもできる。次に、同様な方法でn⁺層5、5'を形成した。

【0045】次にNSG膜を常圧CVD法等で2000Å作成した後、フォトリソグラフィ工程によりベース領域の酸化膜を除去した。次に所望の場所にGe⁺をイオン注入した(図5)。このとき加速電圧は40KeVとし、2.5×10¹⁵cm⁻²打ち込んだ。次にレジスタを除去し、1000℃、20分の熱処理を行い領域21、22を作成した。

【0046】次にポリシリコンをLPCVD法等で5000Å堆積させ、次に、ポリシリコンのパターニング工程により所望のパターニングを行い、P型ポリシリコン層8、9を形成した。

【0047】次に層間絶縁膜15を形成し、フォトリソグラフィおよびエッチング工程により電極取り出しのための窓あけを行なった。

【0048】次に電極を形成し、パターニング工程、パッシベーション工程等により図1に示したようなヘテロ接合バイポーラトランジスタを完成させた。

【0049】本実施例においては、ベースおよびベース近傍の領域のみナローギャップ材料であるSi_(1-x)Ge_xを用いた横型バイポーラトランジスタを実現できるため、従来の横型バイポーラトランジスタに対してコレクタ電流が大きくなりf_Tが10倍程度大きくなった。また電流増幅率h_{FE}は従来の横型バイポーラトランジスタの1.5倍程度に改善できた。

【0050】本実施例においては、絶縁膜上のN⁺層11が第1のバイポーラトランジスタ1のコレクタ領域および第2のバイポーラトランジスタ2のエミッタ領域を兼ねているので、隣接するバイポーラトランジスタのコレクタとエミッタとを接続する際に素子分離および配線を設ける必要がなく、高集積で、低抵抗、低容量なバイポーラトランジスタ半導体装置を実現することができる。

【0051】本実施例は、隣接するNPN型バイポーラトランジスタのコレクタとエミッタとを同一拡散層で形成する例を示したが、隣接するN型MOSトランジスタのソースとドレインの形成、隣接するNPN型バイポーラトランジスタのコレクタないしはエミッタとN型MOSトランジスタのソースないしはドレインの形成の際に適用しても同様の効果を達成することができる。

【実施例2】図8～図12は本発明の第2の実施例の製造工程を示す図である。実施例1と同様に絶縁膜4上にn⁺型Si層を形成した基板を用意し(図8)、フォトリソグラフィ工程およびAs⁺のイオン注入工程等によりエミッタ、コレクタ部10、11、12を作成する(図9)。

【0052】次にNSG膜を常圧CVD法等で2000

Å作成した後、フォトリソグラフィ工程によりベースおよびベース近傍領域の酸化膜を除去した後、Ge⁺イオンを注入した(図10)。

【0053】次にSiN膜を3000Å堆積させた後、図11に示すようにサイドウォールを形成した。

【0054】次にBF₂⁺イオンを10KeVで2×10¹³cm⁻²打ち込んでから熱処理を行ないP領域13、14を作成した。その後、図12に示すように電極16～19を作成し、実施例1と同様にして図1に示したようなヘテロ接合バイポーラトランジスタを作成した。

【0055】このようにして得られたバイポーラトランジスタのベース幅は1μm以下にすることができf_Tが従来より70倍向上した。

【実施例3】図13は本発明の半導体装置の第3の実施例の断面構造図、図14はその等価回路図である。

【0056】図13において、31は第1のPNP型バイポーラトランジスタ、32は第2のPNP型バイポーラトランジスタ、33はシリコン基板、34は絶縁膜、35、35'は絶縁膜34上に形成されたP⁺型シリコン層、36は選択酸化層、37はゲート酸化膜、38は第1のバイポーラトランジスタ31のベース電極となるN型ポリシリコン層、39は第2のバイポーラトランジスタ32のベース電極となるN型ポリシリコン層、40は第1のバイポーラトランジスタ31のエミッタとなるP⁺領域、41は第1のバイポーラトランジスタ31のコレクタおよび第2のバイポーラトランジスタ32のエミッタとなるP⁺領域、42は第2のバイポーラトランジスタ32のコレクタとなるP⁺領域、43は第1のバイポーラトランジスタ31のベースとなるN領域、44は第2のバイポーラトランジスタ32のベースとなるN領域、45は層間絶縁膜、46は第1のバイポーラトランジスタ31のエミッタ電極、47は第2のバイポーラトランジスタ32のコレクタ電極、48は第1のバイポーラトランジスタ31のベース電極、49は第2のバイポーラトランジスタ32のベース電極、50はパッシベーション膜である。また、51、52はSi_(1-x)Ge_x領域である。

【0057】図14において、58は第1のPNP型バイポーラトランジスタ31、59は第2のPNP型バイポーラトランジスタ32、53は第1のバイポーラトランジスタのエミッタ電極、54は第1のバイポーラトランジスタのベース電極、55は第1のバイポーラトランジスタのコレクタ電極および第2のバイポーラトランジスタのエミッタ電極、56は第2のバイポーラトランジスタのベース電極、57は第2のバイポーラトランジスタのコレクタ電極である。

【0058】本実施例においては、n型のベース領域およびその近傍の領域にナローギャップであるSi_(1-x)Ge_x領域51、52を用いた横型バイポーラトランジスタを形成することができる。

【0059】また本実施例においては、絶縁膜上のP⁺層41が第1のバイポーラトランジスタ31のコレクタ領域および第2のバイポーラトランジスタ32のエミッタ領域を兼ねているので、実施例1と同様、隣接するバイポーラトランジスタのコレクタとエミッタとを接続する際に素子分離および配線を設ける必要がなく、高集積で、低抵抗、低容量なバイポーラトランジスタ半導体装置を実現することができる。

【0060】本実施例は、隣接するPNP型バイポーラトランジスタのコレクタとエミッタとを同一拡散層で形成する例を示したが、隣接するP型MOSトランジスタのソースとドレインの形成、隣接するPNP型バイポーラトランジスタのコレクタないしはエミッタとP型MOSトランジスタのソースないしはドレインの形成の際に適用しても同様の効果を達成することができる。

【実施例4】図15は本発明の半導体装置の第4の実施例の断面構造図、図16はその等価回路図である。

【0061】図15において、61はPNP型バイポーラトランジスタ、62はNPN型バイポーラトランジスタ、63はシリコン基板、64は絶縁膜、65、65'は絶縁膜64上に形成されたN⁺型シリコン層、66は選択酸化層、67はゲート酸化膜、68はバイポーラトランジスタ61のベース電極となるN型ポリシリコン層、69はバイポーラトランジスタ62のベース電極となるP型ポリシリコン層、70はバイポーラトランジスタ61のコレクタとなるP⁺領域、71はバイポーラトランジスタ61のエミッタとなるP⁺領域、72はバイポーラトランジスタ62のエミッタとなるN⁺領域、73はバイポーラトランジスタ62のコレクタとなるN⁺領域、74はバイポーラトランジスタ61のベースとなるN領域、75はバイポーラトランジスタ62のベースとなるP領域、76は層間絶縁層、77はバイポーラトランジスタ61のコレクタ電極、78はバイポーラトランジスタ62のコレクタ電極、79はバイポーラトランジスタ61のベース電極、80はバイポーラトランジスタ62のベース電極、81はバイポーラトランジスタ61のエミッタ電極およびバイポーラトランジスタ62のエミッタ電極、82はパッシベーション膜である。

【0062】また51、22はSi_(1-x)Ge_x領域であり、製造工程は実施例2と同様であり、最初にSi_(1-x)Ge_x領域を形成後サイドウォールを形成し、P型、N型のそれぞれのベース領域を作成した。

【0063】図16において、83はPNP型バイポーラトランジスタ61、84はNPN型バイポーラトランジスタ62、85はバイポーラトランジスタ83のコレクタ電極、86はバイポーラトランジスタ83のベース電極、87はバイポーラトランジスタ83のエミッタ電極およびバイポーラトランジスタ84のエミッタ電極、88はバイポーラトランジスタ84のベース電極、89はバイポーラトランジスタ84のコレクタ電極である。

【0064】本実施例においては、絶縁膜上のP⁺層71およびN⁺層72が電氣的に一つの電極81で接続され、PNP型バイポーラトランジスタ61のエミッタ領域およびNPN型バイポーラトランジスタ62のエミッタ領域を兼ねているので、隣接するバイポーラトランジスタのエミッタとエミッタとを接続する際に素子分離および長い配線を設ける必要がなく、高集積で、低抵抗、低容量なバイポーラトランジスタ半導体装置を実現することができる。

【0065】本実施例は、隣接するNPN型バイポーラトランジスタのエミッタとPNP型バイポーラトランジスタのエミッタとを同一拡散層で形成する例を示したが、隣接するN型MOSトランジスタのソースないしはドレインとP型MOSトランジスタのソースないしはドレインの形成、隣接するNPN型バイポーラトランジスタのコレクタないしはエミッタとP型MOSトランジスタのソースないしはドレインの形成、隣接するPNP型バイポーラトランジスタのコレクタないしはエミッタとN型MOSトランジスタのソースないしはドレインの形成の際に適用しても同様の効果を達成することができる。

【実施例5】図17は本発明の半導体装置の第5の実施例の高速増幅回路の一例を示す等価回路図であり、NPN型バイポーラトランジスタ108、109と抵抗110、111と容量112とから構成されている。これらの回路構成素子はすべて絶縁膜上のシリコン層に形成されている。ここで端子113が、実施例1と同様に、同一のN⁺領域から形成され、バイポーラトランジスタ109のエミッタ領域とバイポーラトランジスタ108のコレクタ領域となっている。

【0066】本実施例により、従来のバルク型の回路例より約20%のチップサイズ縮小と約50%の動作高速化が達成できた。

【実施例6】図18は本発明の半導体装置の第6の実施例の等価回路図である。

【0067】図18は、コンプリメンタリバイCMOS回路の一例であり、NPN型バイポーラトランジスタ114、115とP型MOSトランジスタ116、117、N型MOSトランジスタ118、119とから構成されている。これらの回路構成素子はすべて絶縁膜上のシリコン層に形成されている。ここで端子120が、実施例1と同様に、同一のN⁺領域から形成され、バイポーラトランジスタ114のエミッタ領域とバイポーラトランジスタ115のエミッタ領域となっている。また、端子121および122が、実施例4と同様に、同一の電極で電氣的に接続されたN⁺領域とP⁺領域から形成され、MOSトランジスタのソース領域とドレイン領域となっている。

【0068】本実施例により、リングオシレータ、シフトレジスタなどを構成したところ、従来のバルク型の回

路例より約40%のチップサイズ縮小と約80%の動作高速化が達成できた。

【実施例7】ここでは、NPN型バイポーラトランジスタに本発明を適用した場合について説明する。なお実施例8~10についても同様とする。

【0069】図19は本発明の半導体装置の第7の実施例を示す縦断面図である。図19において、201は酸化膜(SiO₂)層、202は酸化膜分離領域、203はn⁺コレクタ領域、204はP型ベース領域、205はn⁺コレクタ領域、206はn⁺エミッタ領域、207は酸化膜、208、209はP型多結晶シリコン(以下Poly-Siと記す)であり、ベース引出し電極である。210は、酸化膜、窒化膜などの絶縁膜のスペーサー、211は層間絶縁膜、212はAl(アルミニウム)などの金属電極である。

【0070】図20~図27は、本実施例の製造方法を示すプロセスフローの断面図である。以下、図20~図27を用いて本発明による実施例の製造方法を示す。

【0071】SiO₂層201およびN型Si層からなるSOI基体の所望の場所を選択的に酸化することによって、素子分離領域202を形成した。Si層203の厚さは1500Å、濃度は $5 \times 10^{15} \sim 1 \times 10^{17}$ ions/cm³とした(図20)。

【0072】次に、SOI基体表面を酸化し、厚さ約200Åないし1000Åの酸化膜207を形成した。なお、基体表面にCVD法などによって酸化膜を形成しても良いことは言うまでもない。

【0073】ひき続いて、LPCVD法などによってPoly-Si層208を2000~5000Å堆積した。さらに、このPoly-Si層208に、ボロン(B⁺)などのP型不純物を $5 \times 10^{15} \sim 1 \times 10^{16}$ ions/cm²のドーズ量でイオン注入し、ひき続いて、950℃、30分アニールを行なった。

【0074】その後、RIEによって異方性エッチングを行ない、図21の構造を得た。ここで、このPoly-Siの幅(図中、Lで示した)は、0.5ないし1.5μmとした。

【0075】次に、図22に示したように、図中、左半分を前記Poly-Si領域208にかかるようにホトレジスト213を塗布、パターニングを行い、引き続いて、RIEによって、Poly-Si領域208をマスクとして、図面でPoly-Si208より右側の酸化膜207をエッチングした。ホトレジスト213を剥離した後、再びPoly-Siを基体全面に1000ないし4000Å堆積し、引き続いて異方性エッチングを行ない、前記Poly-Si領域208の側壁にPoly-Siのサイドウォール209を形成した(図23)。

【0076】次にホトレジスト214を図24のように塗布、パターニングを行なった後、P型不純物であるボロン(B⁺)を20KeVの加速エネルギーで 5×10

10^{13} ions/cm² のドーズ量でイオン注入を行ない、図24中の番号204で示した領域にボロンイオンを導入した。

【0077】次に、前記ホトレジスト214を剥離した後、基体表面全体に1000Åないし5000Åの酸化膜を堆積し、これを異方性エッチングすることによって酸化膜のサイドウォール210を形成した(図25)。

【0078】次に、SOI基体全面にヒ素(A⁺s)イオンを100KeVの加速エネルギーで 1×10^{15} ないし 3×10^{15} ions/cm² のドーズ量でイオン注入を行なった(図26)。

【0079】引き続き、基体に900℃、20ないし30分の熱処理を行ない図27の構造を得た。

【0080】さらに、基体全面にPSG、BPSGなどの層間絶縁膜をCVD法などによって堆積し、その所望の位置にコンタクトホールを形成し、続いて、Al(アルミニウム)などの金属電極212を形成し、図19の構造を得た。

【0081】上記のプロセスによって、ベース幅約0.1μmの横型バイポーラトランジスタが形成でき、その結果、遮断周波数6GHzの高速な横型バイポーラトランジスタを形成することができた。

【実施例8】図28は、本発明の半導体装置の第8の実施例を示す縦断面図である。

【0082】図中、201~212は、第7の実施例の図19の構成部材と同じであり、215は、Ti、Ptなどのシリサイドである。

【0083】SOI基体を用いた横型バイポーラトランジスタでは、半導体層の厚さが薄いため、エミッタやコレクタの抵抗が大きくなるが、上記のように、抵抗率の小さなシリサイド215を形成することによって、エミッタやコレクタの抵抗を小さくすることができる。

【0084】本実施例の構造は以下の工程で作製できる。第7の実施例と同様な工程で、図27の構造を得る。次に、基板表面にスパッタリングによってチタン(Ti)を500Å堆積した。ついで、基板を600℃、20分熱処理を行ないSiとTiを反応させた。

【0085】次に、NH₄OH・H₂O₂を用いたウェットエッチングにより未反応のチタンを除去して図29の構造を得た。

【0086】その後は第7の実施例と同様に層間絶縁膜211を堆積した後、金属電極212を形成した。

【実施例9】図30は本発明の半導体装置の第9の実施例を示す縦断面図である。第7および第8の実施例では、金属電極212の位置はマスクで規定されていた。

【0087】本実施例では、エミッタおよびコレクタの金属電極212のベース寄りの位置は、絶縁膜のスペーサー210によって規定される。図中201~212は第7の実施例の図19の構成部材と同じである。

【0088】以下、本実施例の製造方法を説明する。

【0089】第7の実施例と同様な方法で、図27の構造を得る。ついで層間絶縁膜211をCVD法などによって形成し、図31の構造を得る。

【0090】ここで図31でyで示した範囲にエミッタの引出し電極を形成した場合について考える。

【0091】このとき、アライメントマージンが絶縁膜のスペーサー210の幅(図中x)より小さければ、図31に示したようにコンタクトホールと絶縁膜のスペーサーを隣接して形成できる。コレクタ電極に対しても同様のことが言えるのは言うまでもない。

【0092】ただし、本実施例の場合、絶縁膜のスペーサー210は、層間絶縁膜211とエッチングの選択比のとれる物質、たとえばシリコン窒化膜Si₃N₄などで形成しなければならない。

【0093】上記のように本実施例によって、図19及び図28に示した第7及び第8の実施例よりもエミッタおよびコレクタ電極がベース領域に近く形成できるため、素子を微細にでき、またエミッタ抵抗、コレクタ抵抗を小さくできる。

【実施例10】図32は本発明の半導体装置の第10の実施例を示す縦断面図である。図33~図35は、本実施例の製造方法を示すプロセスフローの断面図である。

【0094】図中、201~212は第7の実施例の図19の構成部材と同じであり、216はSiO₂、PSGなどの絶縁膜、217はN型Poly-Siである。

【0095】以下、図33~図35を用いて本実施例の製造方法について述べる。

【0096】第7の実施例の場合と同様な工程によって、図23の構造を作製し、引き続き基体表面にPSG膜216を1000Å堆積した。その後、所望の場所のPSG膜216および酸化膜207をエッチング除去し、図33の構造を得た。

【0097】次に前記PSG膜216をマスクとしてCl₂を用いたRIEによってコレクタ領域203およびベース領域204のSi層を異方性エッチングし、除去した(図34)。

【0098】次に基板全面にPoly-Siを約2000Å堆積し、引き続きヒ素(A⁺s)イオンを70KeVの加速エネルギーで 5×10^{15} ions/cm² のドーズ量でイオン注入を行ない、ベース領域204、エミッタ領域206、n⁺コレクタ領域205を形成した。その後、前記Poly-Siをパターニングし、図35の構造を得た。

【0099】

【発明の効果】以上説明したように、本発明によれば、トランジスタの制御電極領域およびその近傍領域にSi(1-x)Ge_x層を簡単な工程により作成でき、従来の半導体製造プロセスと整合性が優れ、しかもSiとSi(1-x)Ge_xのヘテロ界面での欠陥の発生が少なく、またその欠陥による影響も小さくできるため、高速なト

ランジスタを含む半導体装置を実現することができる。

【0100】また隣接するトランジスタの一方のトランジスタの主電極領域（例えば、エミッタ又はコレクタ）と、他方のトランジスタの主電極領域（例えば、コレクタ又はエミッタ）とを接続する際に素子分離領域を設ける必要がなく、高集積でさらに高速なトランジスタ半導体装置を実現することができる。

【0101】また、本発明によれば、制御電極領域の幅が薄く、かつ制御電極領域中の不純物濃度が、第1の主電極領域から第2の主電極領域方向に向かって低くなるような濃度分布をもち、かつ制御電極領域の抵抗の低い、高速特性のすぐれたトランジスタを形成できる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施例の断面構造図である。

【図2】図1の半導体装置の等価回路図である。

【図3】図1の半導体装置の一実施例の製造工程を示す断面構造図である。

【図4】図1の半導体装置の一実施例の製造工程を示す断面構造図である。

【図5】図1の半導体装置の一実施例の製造工程を示す断面構造図である。

【図6】図1の半導体装置の一実施例の製造工程を示す断面構造図である。

【図7】図1の半導体装置の一実施例の製造工程を示す断面構造図である。

【図8】図1の半導体装置の他の実施例の製造工程を示す断面構造図である。

【図9】図1の半導体装置の他の実施例の製造工程を示す断面構造図である。

【図10】図1の半導体装置の他の実施例の製造工程を示す断面構造図である。

【図11】図1の半導体装置の他の実施例の製造工程を示す断面構造図である。

【図12】図1の半導体装置の他の実施例の製造工程を示す断面構造図である。

【図13】本発明の半導体装置の第3の実施例の断面構造図である。

【図14】図13の半導体装置の等価回路図である。

【図15】本発明の半導体装置の第4の実施例の断面構造図である。

【図16】図15の半導体装置の等価回路図である。

【図17】本発明の半導体装置の第5の実施例の高速増幅回路の一例を示す等価回路図である。

【図18】本発明の半導体装置の第6の実施例の等価回路図である。

【図19】本発明の半導体装置の第7の実施例を示す縦断面図である。

【図20】図19の半導体装置の製造方法を示すプロセスフローの断面図である。

【図21】図19の半導体装置の製造方法を示すプロセスフローの断面図である。

【図22】図19の半導体装置の製造方法を示すプロセスフローの断面図である。

【図23】図19の半導体装置の製造方法を示すプロセスフローの断面図である。

【図24】図19の半導体装置の製造方法を示すプロセスフローの断面図である。

【図25】図19の半導体装置の製造方法を示すプロセスフローの断面図である。

【図26】図19の半導体装置の製造方法を示すプロセスフローの断面図である。

【図27】図19の半導体装置の製造方法を示すプロセスフローの断面図である。

【図28】本発明の半導体装置の第8の実施例を示す縦断面図である。

【図29】図28の半導体装置の製造方法を示すプロセスの断面図である。

【図30】本発明の半導体装置の第9の実施例を示す縦断面図である。

【図31】図30の半導体装置の製造方法を示すプロセスの断面図である。

【図32】本発明の半導体装置の第10の実施例を示す縦断面図である。

【図33】図32の半導体装置の製造方法を示すプロセスフローの断面図である。

【図34】図32の半導体装置の製造方法を示すプロセスフローの断面図である。

【図35】図32の半導体装置の製造方法を示すプロセスフローの断面図である。

【図36】従来の縦型バイポーラトランジスタの断面構造図である。

【図37】従来の横型バイポーラトランジスタの断面構造図である。

【図38】従来の横型バイポーラトランジスタの断面構造図である。

【図39】横型バイポーラトランジスタを基板表面から見た図である。

【図40】図39の横型バイポーラトランジスタの断面図である。

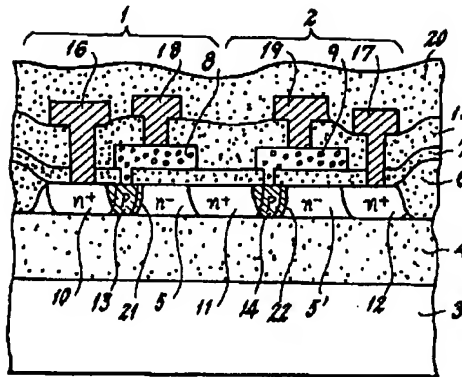
【符号の説明】

- 1 第1のNPN型バイポーラトランジスタ
- 2 第2のNPN型バイポーラトランジスタ
- 3 シリコン基板
- 4 絶縁膜
- 5, 5' N型シリコン層
- 6 選択酸化層
- 7 ゲート酸化膜
- 8 P型ポリシリコン層
- 9 P型ポリシリコン層

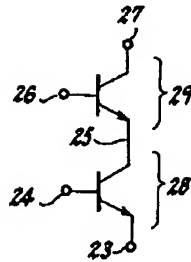
- 10 N⁺ 領域
- 11 N⁺ 領域
- 12 N⁺ 領域
- 13 P 領域
- 14 P 領域
- 15 層間絶縁膜
- 16 エミッタ電極
- 17 コレクタ電極
- 18 ベース電極
- 19 ベース電極
- 20 パッシベーション膜
- 21 Si(1-x)Ge_x 領域

- 22 Si(1-x)Ge_x 領域
- 201 酸化膜(SiO₂)層
- 202 酸化膜分離領域
- 203 n⁺ コレクタ領域
- 204 P型ベース領域
- 205 n⁺ コレクタ領域
- 206 n⁺ エミッタ領域
- 207 酸化膜
- 208, 209 P型多結晶シリコン
- 10 210 絶縁膜のスペーサー
- 211 層間絶縁膜
- 212 金属電極

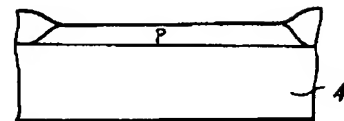
【図1】



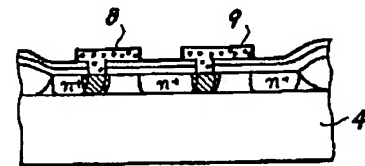
【図2】



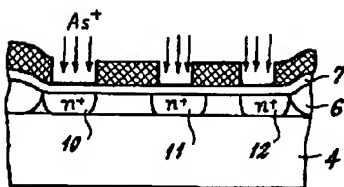
【図3】



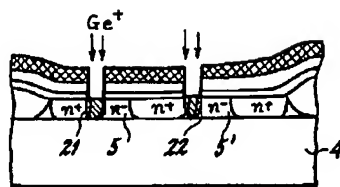
【図6】



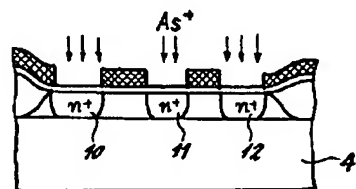
【図4】



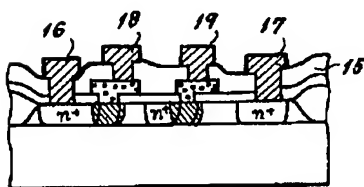
【図5】



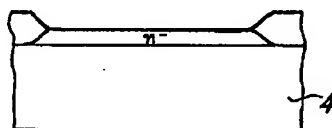
【図9】



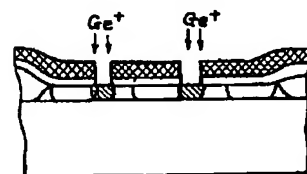
【図7】



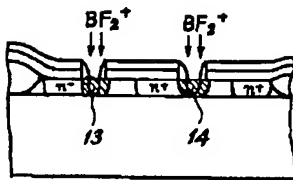
【図8】



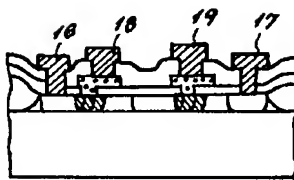
【図10】



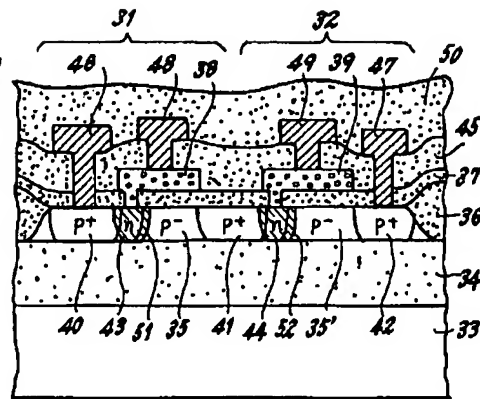
【図11】



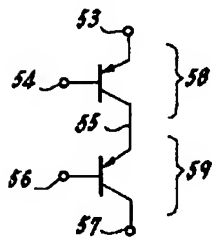
【図12】



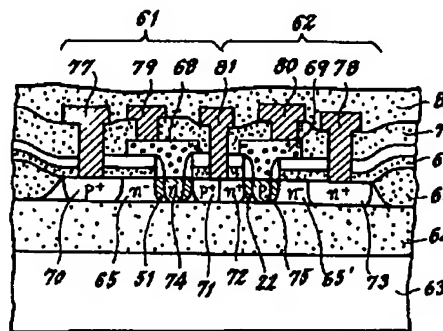
【図13】



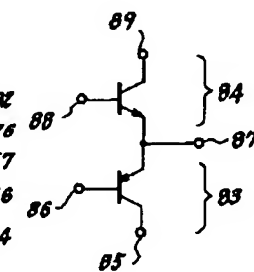
【図14】



【図15】

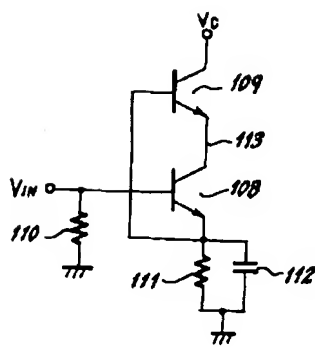


【図16】

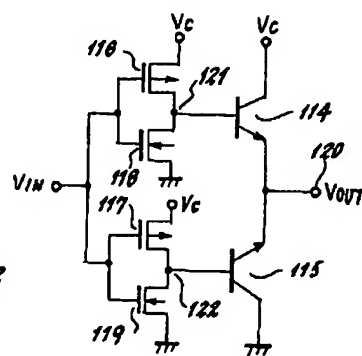


【図19】

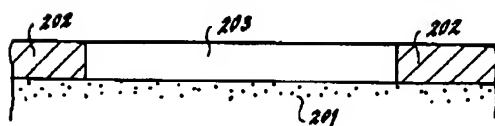
【図17】



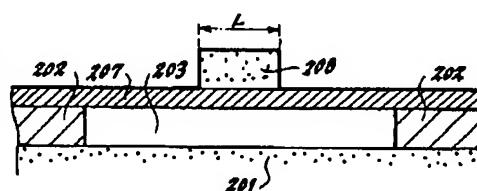
【図18】



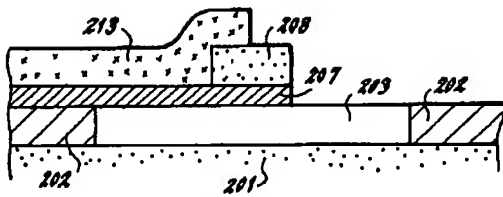
【図20】



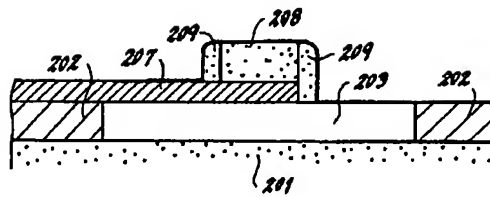
【図21】



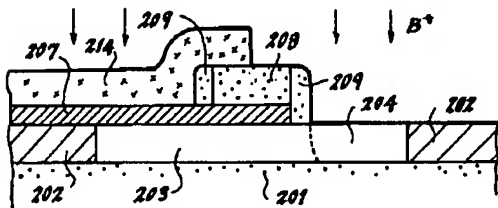
【図22】



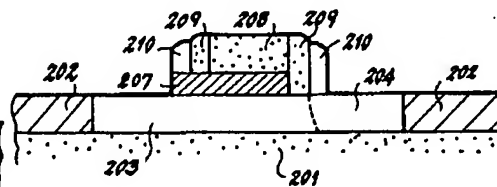
【図23】



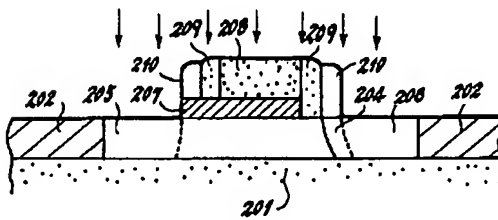
【図24】



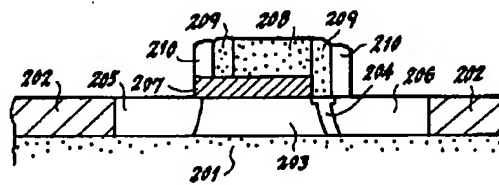
【図25】



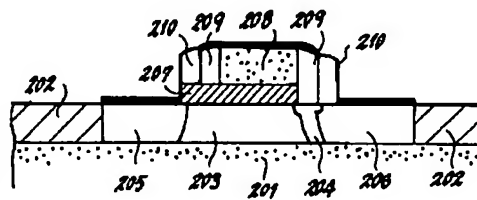
【図26】



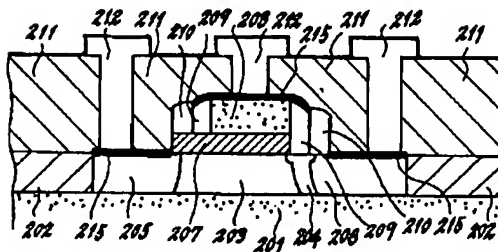
【図27】



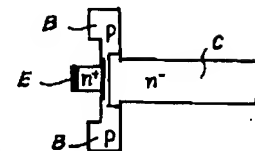
【図29】



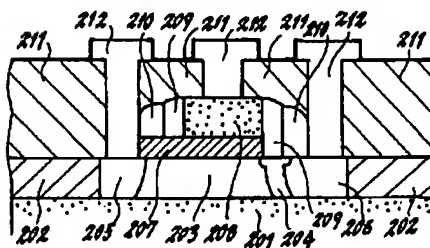
【図28】



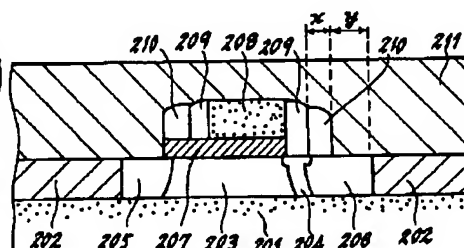
【図39】



【図30】



【図31】



【図37】

